



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0007032
(43) 공개일자 2010년01월22일

(51) Int. Cl.

H01L 21/24 (2006.01)

(21) 출원번호 10-2008-0067442

(22) 출원일자 2008년07월11일

심사청구일자 2008년07월11일

(71) 출원인

한국기계연구원

대전 유성구 장동 171번지

(72) 발명자

이정구

경상남도 창원시 가음동 한국기계연구원아파트 103호

최철진

경상남도 창원시 반림동 트리비아아파트 219동 901호

(74) 대리인

김기문

전체 청구항 수 : 총 6 항

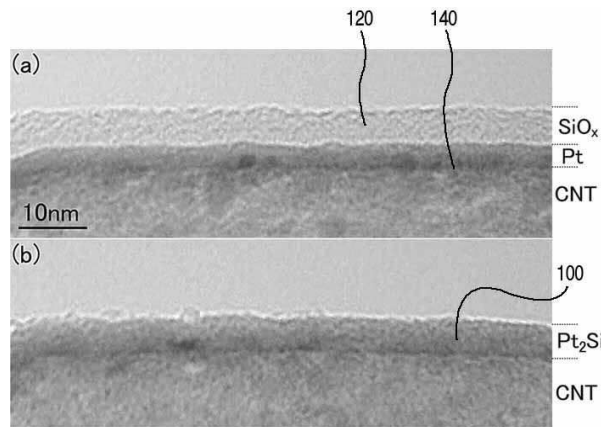
(54) 실리콘사이드 형성방법

(57) 요약

본 발명은 실리콘산화막 일면에 형성된 금속층에 전자선을 조사하여 실리콘사이드가 형성되도록 한 실리콘사이드 형성방법에 관한 것이다.

본 발명에 의한 실리콘사이드 형성방법은, 자연산화막이 형성된 실리콘(120)을 준비하는 실리콘준비단계(S100)와, 상기 자연산화막 일측에 천이금속층(140)을 형성하는 금속층형성단계(S200)와, 상기 천이금속층에 전자선을 조사하여 실리콘사이드(100)를 형성하는 전자선조사단계(S300)로 이루어지며, 상기 전자선조사단계(S300)는, 상온 이하의 온도에서 실시됨을 특징으로 한다. 또한, 상기 전자선조사단계(S300)에서, 상기 전자선은 200keV 미만의 크기를 갖는다. 이와 같이 구성되는 본 발명에 의하면, 공정수가 줄어들어 생산성이 향상되며 저렴한 비용으로 원하는 부위에만 실리콘사이드의 형성이 가능한 이점이 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 M108K001000408K150100410

부처명 교육과학부

연구사업명 21C 프론티어 기술 개발 사업

연구과제명 나노분말을 이용한 초소형 정밀부품 제조기술 개발

주관기관 한구기계연구원부설 재료연구소

연구기간 2008년 04월 01일 ~ 2009년 03월 31일

특허청구의 범위

청구항 1

자연산화막이 형성된 실리콘을 준비하는 실리콘준비단계와,
 상기 자연산화막 일측에 친이금속층을 형성하는 금속층형성단계와,
 상기 친이금속층에 전자선을 조사하여 실리사이드를 형성하는 전자선조사단계로 이루어진 것을 특징으로 하는 실리사이드 형성방법.

청구항 2

제 1 항에 있어서, 상기 전자선조사단계는,
 상온 이하의 온도에서 실시됨을 특징으로 하는 실리사이드 형성방법.

청구항 3

제 2 항에 있어서, 상기 전자선조사단계에서,
 상기 전자선은 200keV 미만의 크기를 갖는 것을 특징으로 하는 실리사이드 형성방법.

청구항 4

제 3 항에 있어서, 상기 전자선조사단계는,
 전자선 조사에 의해 SiO_x 가 환원되어 실리사이드가 형성되는 과정임을 특징으로 하는 실리사이드 형성방법.

청구항 5

제 4 항에 있어서, 상기 전자선조사단계에서,
 상기 전자선의 조사 위치는 설정된 경로를 따라 변경 가능한 것을 특징으로 하는 실리사이드 형성방법.

청구항 6

제 5 항에 있어서, 상기 친이금속층은,
 철(Fe), 니켈(Ni), 코발트(Co), 백금(Pt), 팔라듐(Pd), 텅스텐(W) 중 하나 이상을 포함하여 구성됨을 특징으로 하는 실리사이드 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 실리사이드 형성방법에 관한 것으로, 보다 상세하게는 실리콘산화막 일면에 형성된 금속층에 전자선을 조사하여 실리사이드가 형성되도록 한 실리사이드 형성방법에 관한 것이다.
- <16> 반도체장치가 고집적화, 고성능화 및 저전압화됨에 따라, 미세패턴 형성을 통한 트랜지스터 및 셀 게이트 길이의 감소와 소자 특성을 향상시키기 위해 저저항게이트 물질이 요구되고 있으며, 저전압화에 따른 트랜지스터 및 셀의 채널 전류를 증가시키기 위해 게이트산화막의 두께가 점차 감소되고 있다.
- <17> 또한, 트랜지스터 게이트 길이의 감소로 인한 쇼트-채널 효과(short channel effect)의 방지 및 펀치스루우(punchthrough)에 대한 마진 확보를 위해, 소오스/드레인 영역의 접합깊이(junction depth)를 얇게 형성하여야 하며, 동시에 소오스/드레인 영역의 기생저항, 예컨대 면저항 및 접촉저항을 감소시켜야 한다.
- <18> 이에 따라, 게이트전극 및 소오스/드레인 영역의 표면에 실리사이드(silicide)층을 형성함으로써, 게이트전극의

비저항 및 소오스/드레인 영역의 면저항과 접촉저항을 감소시키는 실리사이드 공정에 대한 연구가 진행되고 있다.

- <19> 실리사이드는 규소(Si)보다 전기적으로 양성인 금속원소와 규소(Si)의 화합물로서, 낮은 저항, 높은 열적 안정성, 실리콘 공정과의 적용 등이 용이하여 VLSI 배선 공정에 활발히 적용되고 있다.
- <20> 그리고, 실리사이드 물질로서 실리콘과 반응하는 희토류 금속을 이용하는데, 예를 들면, 텅스텐 실리사이드(WSi_2), 티타늄 실리사이드($TiSi_2$), 코발트 실리사이드($CoSi_2$) 등이 있으며, 최근 들어서는 내화성 물질(refractory metal)인 티타늄, 코발트, 니켈 등이 텅스텐보다 콘택트 저항을 낮추기가 용이하여 널리 사용되고 있다.
- <21> 이러한 실리사이드는 원하는 부위에만 형성되도록 하는 방법이 대한민국 특허청 특허등록 제0480586호에 게시되어 있다.
- <22> 이를 개략적으로 살펴보면, 먼저 게이트전극이 형성된 실리콘 기판 상에 실리사이드막 형성을 위한 금속층을 적층하고 그 위에 절연막을 적층한다.
- <23> 이어서, 절연막 상에 실리사이드막을 형성하지 않을 부위를 노출시키는 포토레지스트 패턴을 형성하게 된다. 그런 다음 포토레지스트 패턴을 마스크로 하여 절연막을 식각하게 되면 절연막 패턴이 형성된다.
- <24> 이후 포토레지스트 패턴을 제거하고, 절연막 패턴을 마스크로 하여 금속층을 식각하고 절연막 패턴을 제거한 다음, 상기 결과물을 열처리하여 실리사이드막을 형성하면 원하는 부위에만 실리사이드막이 형성된다.
- <25> 그러나 상기와 같은 공정에 따라 실리사이드의 패턴을 형성하게 되면, 많은 공정수가 요구되므로 불량율이 증가하고 생산성이 저하되며, 열처리를 위한 설비가 별도로 요구되므로 가격 경쟁력이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명의 목적은 상기와 같은 문제점을 해결하기 위한 것으로, 실리콘산화막 일면에 금속을 증착한 후 전자선을 조사함으로써 실리사이드의 형성이 가능하도록 한 실리사이드 형성방법을 제공하는 것에 있다.
- <27> 본 발명의 다른 목적은, 증착된 금속층에 전자선을 국부적 또는 패턴 형상을 갖도록 이동 조사하여 원하는 부위에만 실리사이드가 형성되도록 한 실리사이드 형성방법을 제공하는 것에 있다.

발명의 구성 및 작용

- <28> 본 발명에 의한 실리사이드 형성방법은, 자연산화막이 형성된 실리콘을 준비하는 실리콘준비단계와, 상기 자연산화막 일측에 천이금속층을 형성하는 금속층형성단계와, 상기 천이금속층에 전자선을 조사하여 실리사이드를 형성하는 전자선조사단계로 이루어진 것을 특징으로 한다.
- <29> 상기 전자선조사단계는, 상온 이하의 온도에서 실시됨을 특징으로 한다.
- <30> 상기 전자선조사단계에서, 상기 전자선은 200keV 미만의 크기를 갖는 것을 특징으로 한다.
- <31> 상기 전자선조사단계는, 전자선 조사에 의해 SiO_x 가 환원되어 실리사이드가 형성되는 과정임을 특징으로 한다.
- <32> 상기 전자선조사단계에서, 상기 전자선의 조사 위치는 설정된 경로를 따라 변경 가능한 것을 특징으로 한다.
- <33> 상기 천이금속층은, 철(Fe), 니켈(Ni), 코발트(Co), 백금(Pt), 팔라듐(Pd), 텅스텐(W) 중 하나 이상을 포함하여 구성됨을 특징으로 한다.
- <34> 이와 같은 구성을 가지는 본 발명에 따르면, 실리사이드 형성을 위한 공정수가 줄어들어 생산성이 향상되며 상온 이하의 온도에서 전자선을 조사하여 실리사이드 형성이 가능하므로 저렴한 비용으로 원하는 부위에만 실리사이드의 형성이 가능한 이점이 있다.
- <35> 이하에서는 첨부된 도 1을 참조하여 실리사이드를 형성하기 위한 개요를 설명하기로 한다.
- <36> 도면에 도시된 바와 같이, 실리사이드(100)는 자연산화막이 형성된 실리콘(120) 상면에 천이금속층(140)을 형성한 후, 상기 천이금속층(140)에 전자선을 조사함으로써 실리사이드(100)를 형성하게 된다.
- <37> 상기 천이금속층(140)은, 철(Fe), 니켈(Ni), 코발트(Co), 백금(Pt), 팔라듐(Pd), 텅스텐(W) 중 하나 이상을 포함하여 구성됨이 바람직하며, 상기 천이금속층(140)은 이러한 금속 외에도 실리콘(120) 상면에 증착될 수 있고,

실리사이드(100)를 형성 가능한 범위 내에서 다양한 금속이 적용 가능함은 물론이다.

- <38> 그리고, 상기 실리사이드(100)는 다양한 패턴을 갖도록 구성될 수 있다. 즉, 상기 전자선은 전자선을 조사 가능한 장치(미도시)로부터 조사될 때 미리 설정된 경로를 따라 이동 가능하도록 구성될 수도 있으며, 반대로 상기 전자선 조사 장치는 고정하고, 상기 천이금속층(140)이 형성된 실리콘(120)을 미리 설정된 경로를 따라 이송함으로써 일정 패턴을 가지는 실리사이드(100)를 형성할 수 있게 된다.
- <39> 이러한 실리사이드(100)를 형성하는 방법을 도 2 를 참조하여 순서대로 설명한다.
- <40> 도 2에는 본 발명에 의한 실리사이드 형성방법을 나타낸 공정순서도가 도시되어 있다.
- <41> 도면과 같이, 실리사이드 형성방법은 크게 자연산화막이 형성된 실리콘(120)을 준비하는 실리콘준비단계(S100)와, 상기 자연산화막 일측에 천이금속층(140)을 형성하는 금속층형성단계(S200)와, 상기 천이금속층(140)에 전자선을 조사하여 실리사이드(100)를 형성하는 전자선조사단계(S300)로 이루어진다.
- <42> 상기 전자선조사단계(S300)는 상온 이하의 온도에서 실시되며, 조사되는 전자선은 75keV 내지 200keV 범위를 갖도록 구성된다.
- <43> 그리고, 상기 전자선조사단계(S300)에서 실리콘(SiO_x)에 포함된 산소는 천이금속과 환원되어 실리사이드(100)를 형성하게 된다.
- <44> 또한, 상기 전자선조사단계(S300)에서 상기 전자선의 조사 위치는 전술한 바와 같이 설정된 경로를 따라 변경 가능한 것을 특징으로 한다.
- <45> 따라서, 상기 실리사이드(100)는 설정된 경로와 대응되는 패턴을 가질 수 있게 된다.
- <46> 도 3에는 탄소나노튜브(CNT)에 백금(Pt)으로 이루어진 천이금속층(140)과 실리콘(120)이 적층된 모체에 전자선을 조사한 경우와 그렇지 않은 경우의 비교 사진이 나타나 있다.
- <47> 도 3의 (a)와 같이 전자선이 조사되기 전에는 천이금속층(140)과 실리콘이 뚜렷하게 구분되어 있으나, 도 3의 (b)와 같이 탄소나노튜브에 200keV의 전자선을 조사한 경우에는, 백금 실리사이드(100)가 형성된 것을 확인할 수 있다.
- <48> 또한 도 4에는 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 전/후의 회절패턴을 도시한 사진이 도시되어 있다. 전자선을 조사하기 전/후의 회절 패턴을 해석한 결과, 백금(Pt)으로 형성된 천이금속층(140)과 백금 실리사이드(100)는 (001)Pt//(001)Pt₂Si, [110]Pt₂Si의 방위관계를 가지는 것을 확인할 수 있다.
- <49> 이하에서는 본 발명에 의한 실리사이드 형성방법에 따른 실시예를 첨부된 도 5 내지 도 10을 참조하여 설명한다.
- <50> 도 5 는 본 발명의 실시예에 따라 제조된 실리콘 상면에 천이금속층이 형성된 모습을 보인 표면 확대 사진이고, 도 6 및 도 7은 본 발명의 실시예에 따라 천이금속층이 형성된 모체가 실온 및 300℃일 때 각각의 전자선 회전 패턴을 보인 사진이며, 도 8은 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 중 전자선의 조사 시간 변화에 따른 실리사이드의 패턴 변화를 보인 회절 사진이다.
- <51> 또한, 도 9 및 도 10은 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 중 75keV 및 200keV의 전자선을 적용하고 조사 시간을 변화시켰을 때 각각의 실리사이드 패턴 변화를 보인 사진이다.
- <52> 본 발명의 실시예에서는 염화나트륨(NaCl) 위에 스퍼터링에 의해 백금(Pt)입자를 증착하여 천이금속층(140)을 형성하였다.
- <53> 그리고, 상기 천이금속층(140) 위에 실리콘(SiO_x)막을 펄스레이저 증착법에 의해 증착 후 염화나트륨을 증류수에 녹여 도 5와 같이 Pt/ SiO_x 박막시료를 제작하였다.
- <54> 상기와 같이 제작된 박막시료는 Pt증착시의 온도가 300℃일 때에는 염화나트륨 결정 표면에 백금 결정(結晶)이 특정 방위 관계 즉, (001)Pt//(001)NaCl, [110]Pt//[110]NaCl 을 가지면서 성장하였다.
- <55> 그리고, 상기와 같이 제작된 박막시료에 전자선을 조사하여 전자선 회절 패턴을 확인한 결과, 도 7의 화살표와 같이 전자선이 조사됨과 동시에 백금 실리사이드(100)가 형성되었으며, 전자선의 조사 시간이 증가함에 따라 강도가 높아진 것을 알 수 있다.

- <56> 이것은 조사 시간이 증가함에 따라 보다 많은 백금 실리사이드(100)가 형성된 것을 나타낸다.
- <57> 또한, 전자선을 특정한 세기로 고정한 후 조사 시간을 증가하게 되면, 조사 시간이 증가함에 따라 보다 많은 백금 실리사이드(100)의 회절 패턴이 형성되는 것을 도 8 및 도 9를 통해 확인할 수 있다.
- <58> 이하에서는 다른 실시예를 통해 실리사이드(100)의 패턴 형성 가능성을 확인하였다.
- <59> 도 10에는 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 중 전자선을 국부적으로 조사시에 실리사이드 형성 모습을 보인 확대 사진이 도시되어 있다.
- <60> 도면과 같이, 본 발명의 다른 실시예에서는, 모재에 텅스텐(W)이 적용되고, 텅스텐 외측에 백금으로 이루어진 천이금속층(140)이 구비되도록 하였다.
- <61> 그리고, 상기 천이금속층(140) 외측에는 실리콘(120)을 위치시킨 후, 도 10의 (b)영역에만 전자선을 국부적으로 조사하였다.
- <62> 이때 전자선이 조사되기 전인 도 10의 (a)에서는 모재와 천이금속층(140) 및 실리콘(120)이 모두 분리된 상태로 적층된 것을 알 수 있으나, 전자선이 조사된 도 10의 (b) 하부(국부적으로 전자선이 조사된 부분)에는 백금 실리사이드(100)가 형성되어 있음을 알 수 있다.
- <63> 따라서, 이러한 결과로 전자선의 조사 위치를 이동시켜 일정 패턴을 가지는 실리사이드(100)를 형성 가능함은 자명하다.
- <64> 이러한 본 발명의 범위는 상기에서 예시한 실시예에 한정하지 않고, 상기와 같은 기술범위 안에서 당업계의 통상의 기술자에게 있어서는 본 발명을 기초로 하는 다른 많은 변형이 가능할 것이다.

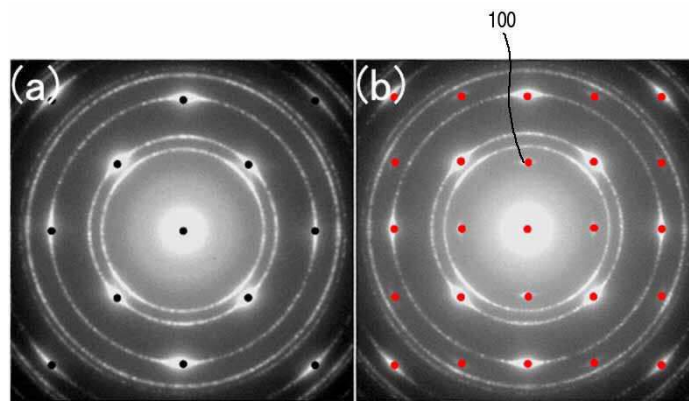
발명의 효과

- <65> 위에서 상세히 설명한 바와 같이 본 발명에 실리사이드 형성방법에서는, 실리콘산화막 일면에 금속을 증착한 후 전자선을 조사함으로써 실리사이드의 형성이 가능하다.
- <66> 따라서, 실리사이드 형성을 위한 공정수가 줄어들게 되므로 생산성이 향상되며 보다 저렴한 비용으로 실리사이드의 형성이 가능한 이점이 있다.
- <67> 또한, 본 발명에서는, 증착된 금속층에 전자선의 조사 위치를 이동시킴으로써 실리사이드의 패턴화가 가능하도록 구성하였다.
- <68> 따라서, 다양한 형상의 실리사이드를 형성 가능하게 되므로 다양한 응용분야에 확대 적용이 가능한 이점이 있다.

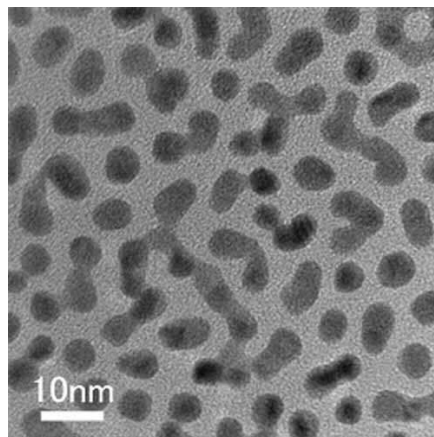
도면의 간단한 설명

- <1> 도 1 은 본 발명에 의한 실리사이드 형성방법의 개요를 나타낸 개략도.
- <2> 도 2 는 본 발명에 의한 실리사이드 형성방법을 나타낸 공정순서도.
- <3> 도 3 은 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 전/후의 실리사이드 형성 여부를 비교하기 위한 실험 사진.
- <4> 도 4 는 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 전/후의 회절패턴을 도시한 사진.
- <5> 도 5 는 본 발명의 실시예에 따라 제조된 실리콘 상면에 천이금속층이 형성된 모습을 보인 표면 확대 사진.
- <6> 도 6 은 본 발명의 실시예에 따라 NaCl 상면에 Pt를 증착할 때의 온도가 300℃일 때 Pt/SiO₂막의 전자선 회절 패턴을 보인 사진.
- <7> 도 7 은 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 중 전자선의 조사 시간 변화에 따른 실리사이드의 패턴 변화를 보인 회절 사진.
- <8> 도 8 은 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 중 75keV의 전자선을 적용하고 조사 시간을 변화시켰을 때 실리사이드의 패턴 변화를 보인 사진.
- <9> 도 9 는 본 발명에 의한 실리사이드 형성방법에서 전자선조사단계 중 200keV의 전자선을 적용하고 조사 시간을

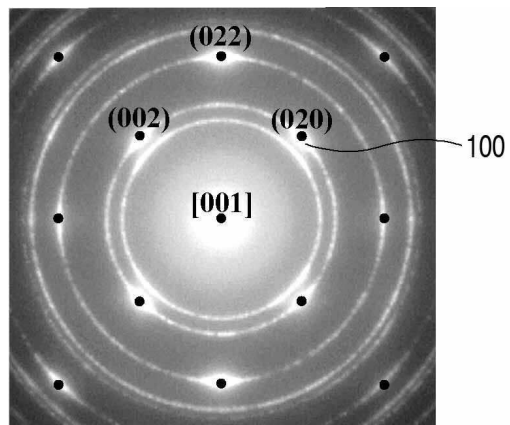
도면4



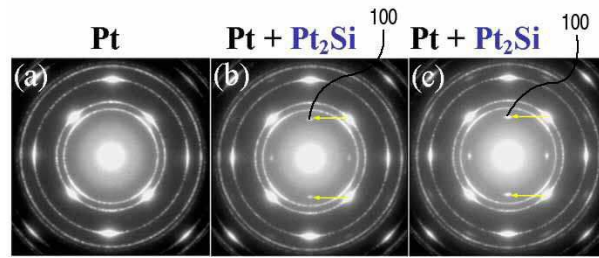
도면5



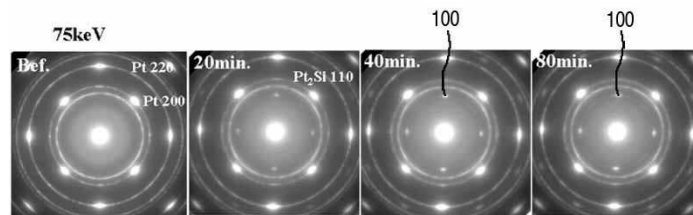
도면6



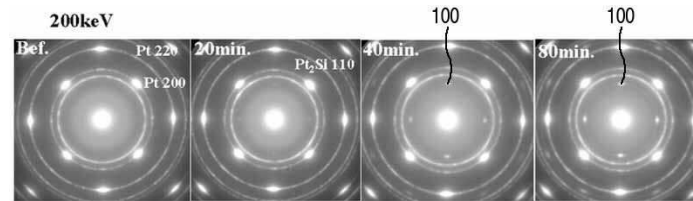
도면7



도면8



도면9



도면10

