



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년09월02일  
 (11) 등록번호 10-1436850  
 (24) 등록일자 2014년08월27일

(51) 국제특허분류(Int. Cl.)  
 H01L 23/50 (2006.01) H01L 23/48 (2006.01)  
 (21) 출원번호 10-2013-0030853  
 (22) 출원일자 2013년03월22일  
 심사청구일자 2013년03월22일  
 (56) 선행기술조사문헌  
 KR1020090108193 A\*  
 KR1020120072407 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 한국과학기술원  
 대전광역시 유성구 대학로 291(구성동)  
 (72) 발명자  
 김정호  
 대전광역시 유성구 대학로 291, 한국과학기술원  
 5-1221호 (구성동)  
 임재민  
 충청북도 청주시 흥덕구 1순환로1137번길 129,  
 208동 604호 (분평동, 분평2단지주공아파트)  
 (74) 대리인  
 박영우

전체 청구항 수 : 총 14 항

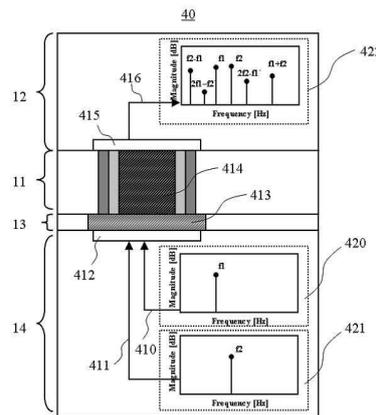
심사관 : 정구원

(54) 발명의 명칭 **주파수 혼합기로 동작하는 관통 실리콘 비아, 이를 포함하는 3차원 집적 회로 및 이의 제조 방법**

**(57) 요약**

3차원 집적 회로를 구성하는 적어도 하나의 실리콘 기관을 관통하는 관통 실리콘 비아는 제1 면, 기둥 형상의 본체 및 제2 면을 포함한다. 상기 제1 면은 적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 전달받는다. 상기 기둥 형상의 본체는 상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 생성한다. 상기 제2 면은 상기 제1 면과 대향하며, 상기 전기적 출력 신호를 외부에 전달한다.

**대표도** - 도4



이 발명을 지원한 국가연구개발사업  
 과제고유번호 10039232  
 부처명 지식경제부  
 연구사업명 산업융합원천기술개발사업  
 연구과제명 시스템 반도체를 위한 3D Integration 요소 공정 기술 개발  
 기여율 1/2  
 주관기관 (주)동부하이텍  
 연구기간 2011.05.01 ~ 2014.02.28

이 발명을 지원한 국가연구개발사업  
 과제고유번호 2010-0029374  
 부처명 교육과학기술부  
 연구사업명 기초연구사업  
 연구과제명 자동차 전력시스템 통합  
 기여율 1/2  
 주관기관 한국과학기술원  
 연구기간 2011.03.01 ~ 2012.02.28

---

**특허청구의 범위**

**청구항 1**

3차원 집적 회로를 구성하는 적어도 하나의 실리콘 기판(Silicon Substrate)을 관통하는 기둥 형상의 적어도 하나의 관통 실리콘 비아(Through Silicon Via; TSV)로서,

적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 전달받는 제1 면;

상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 생성하는 기둥 형상의 본체; 및

상기 제1 면과 대향하며, 상기 전기적 출력 신호를 외부로 전달하는 제2 면을 포함하고,

상기 전기적 출력 신호는 상기 관통 실리콘 비아의 비선형적 신호 특성에 의해 생성되는 관통 실리콘 비아.

**청구항 2**

삭제

**청구항 3**

제1 항에 있어서,

상기 비선형적 신호 특성은 상기 관통 실리콘 비아와 상기 실리콘 기판 간의 바이어스(Bias) 전압에 의존하여 상기 관통 실리콘 비아와 상기 실리콘 기판 및 상기 관통 실리콘 비아와 상기 실리콘 기판 사이에 형성된 절연층을 포함하는 커패시터의 커패시턴스의 크기가 비선형적으로 변화하는 것에 기초하는 것을 특징으로 하는 관통 실리콘 비아.

**청구항 4**

제1 항에 있어서,

상기 전기적 출력 신호는 상기 전기적 입력 신호의 고조파(Harmonics)들의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 부가 신호를 더 포함하는 것을 특징으로 하는 관통 실리콘 비아.

**청구항 5**

적어도 하나의 제1 실리콘 기판;

상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 관통 실리콘 비아; 및

상기 관통 실리콘 비아와 상기 제1 실리콘 기판 사이에 형성된 절연층을 포함하고,

상기 관통 실리콘 비아는,

적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 전달받는 제1 면;

상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수로 가지는 전기적 신호를 포함하는 전기적 출력 신호를 생성하는 기둥 형상의 본체; 및

상기 제1 면과 대향하며, 상기 전기적 출력 신호를 외부로 전달하는 제2 면을 포함하고,

상기 전기적 출력 신호는 상기 관통 실리콘 비아의 비선형적 신호 특성에 의해 생성되는 3차원 집적 회로.

**청구항 6**

삭제

**청구항 7**

제5 항에 있어서,

상기 비선형적 신호 특성은 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 간의 바이어스 전압에 의존하여 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 및 상기 절연층을 포함하는 커패시터의 커패시턴스의 크기가 비선형적으로 변화하는 것에 기초하는 것을 특징으로 하는 3차원 집적 회로.

**청구항 8**

제5 항 에 있어서,

상기 전기적 출력 신호는 상기 전기적 입력 신호의 고조파들의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 부가 신호를 더 포함하는 것을 특징으로 하는 3차원 집적 회로.

**청구항 9**

제5 항에 있어서,

상기 제1 면 또는 상기 제2 면과 전기적으로 연결되어 있는 적어도 하나의 금속 범프를 더 포함하는 것을 특징으로 하는 3차원 집적 회로.

**청구항 10**

제9 항에 있어서,

적어도 하나의 제2 실리콘 기판을 더 포함하고,

상기 금속 범프에 전기적으로 연결되는 제1 말단; 및

상기 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈 또는 상기 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈에 전기적으로 연결되는 제2 말단을 구비하는 적어도 하나의 버퍼를 더 포함하는 것을 특징으로 하는 3차원 집적 회로.

**청구항 11**

적어도 하나의 제1 실리콘 기판;

상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 제1 관통 실리콘 비아;

상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 제2 관통 실리콘 비아;

상기 제1 관통 실리콘 비아와 상기 제1 실리콘 기판 사이에 형성된 제1 절연층; 및

상기 제2 관통 실리콘 비아와 상기 제1 실리콘 기판 사이에 형성된 제2 절연층을 포함하고,

상기 제1 관통 실리콘 비아는,

제1 하면 및 상기 제1 하면에 대향하는 제1 상면을 포함하고, 상기 제1 하면은 적어도 하나의 제1 주파수를 가지는 적어도 하나의 제1 전기적 입력 신호를 전달받고,

상기 제2 관통 실리콘 비아는,

제2 하면 및 상기 제2 하면에 대향하는 제2 상면을 포함하고, 상기 제2 상면은 상기 제1 관통 실리콘 비아에 흐르는 상기 제1 전기적 입력 신호에 의해 상기 제2 관통 실리콘 비아에 생성된 결합 신호(Coupled Signal)의 주파수와 상기 제2 하면에 전달된 적어도 하나의 제2 주파수를 가지는 적어도 하나의 제2 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 외부로 전달하는 3차원 집적 회로.

**청구항 12**

제11 항에 있어서,

상기 제1 상면 또는 상기 제1 하면 또는 상기 제2 상면 또는 상기 제2 하면과 전기적으로 연결되어 있는 적어도 하나의 금속 범프를 더 포함하는 것을 특징으로 하는 3차원 집적 회로.

**청구항 13**

제12 항에 있어서,

적어도 하나의 제2 실리콘 기판을 더 포함하고,

상기 금속 범프에 전기적으로 연결되는 제1 말단; 및

상기 제1 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈 또는 상기 제2 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈 또는 상기 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제3 메탈에 전기적으로 연결되는 제2 말단을 구비하는 적어도 하나의 버퍼를 더 포함하는 것을 특징으로 하는 3차원 집적 회로.

**청구항 14**

적어도 하나의 제1 실리콘 기판과 적어도 하나의 제2 실리콘 기판을 포함하는 3차원 집적 회로에서, 상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 홀(hole)을 형성하는 단계;

상기 홀의 내부 벽면에 밀착하여 파이프 구조의 절연층을 형성하는 단계;

상기 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 관통 실리콘 비아를 형성하는 단계;

상기 관통 실리콘 비아의 제1 면에 적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈을 전기적으로 연결하는 단계; 및

상기 제1 면과 대향하는, 상기 관통 실리콘 비아의 제2 면에 금속 범프를 통해 상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈을 전기적으로 연결하는 단계를 포함하는 3차원 집적 회로의 제조 방법.

**청구항 15**

적어도 하나의 제1 실리콘 기판과 적어도 하나의 제2 실리콘 기판을 포함하는 3차원 집적 회로에서, 상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 제1 홀과 적어도 하나의 제2 홀을 형성하는 단계;

상기 제1 홀의 내부 벽면에 밀착하여 파이프 구조의 제1 절연층을 형성하는 단계;

상기 제2 홀의 내부 벽면에 밀착하여 파이프 구조의 제2 절연층을 형성하는 단계;

상기 제1 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 제1 관통 실리콘 비아를 형성하는 단계;

상기 제2 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 제2 관통 실리콘 비아를 형성하는 단계;

상기 제1 관통 실리콘 비아의 제1 하면에 적어도 하나의 제1 주파수를 가지는 적어도 하나의 제1 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈을 전기적으로 연결하는 단계;

상기 제2 관통 실리콘 비아의 제2 하면에 적어도 하나의 제2 주파수를 가지는 적어도 하나의 제2 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈을 전기적으로 연결하는 단계; 및

상기 제2 관통 실리콘 비아의 제2 상면에 금속 범프를 통해 상기 제1 관통 실리콘 비아에 흐르는 상기 제1 전기적 입력 신호에 의해 상기 제2 관통 실리콘 비아에 생성된 결합 신호의 주파수와 상기 제2 관통 실리콘 비아의 제2 하면에 전달된 상기 제2 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제3 메탈을 전기적으로 연결하는 단계를 포함하는 3차원 집적 회로의 제조 방법.

**청구항 16**

적어도 하나의 제1 실리콘 기판;

적어도 하나의 제2 실리콘 기판;

상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 관통 실리콘 비아; 및

상기 관통 실리콘 비아와 상기 제1 실리콘 기판 사이에 형성된 절연층을 포함하고,

상기 관통 실리콘 비아는,

적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈에서 금속 범프 및 버퍼를 통해 전달받는 제1 면;

상기 관통 실리콘 비아와 상기 제1 실리콘 기판 간의 바이어스 전압의 상승에 응답하여 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 및 상기 절연층을 포함하는 커패시터의 커패시턴스의 크기가 비선형적으로 감소하는 특성을 이용하여, 상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지거나 상기 전기적 입력 신호의 고조파들의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 생성하는 기동 형상의 본체; 및

상기 제1 면과 대향하며, 상기 전기적 출력 신호를 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈에 금속 범프 및 버퍼를 통해 전달하는 제2 면을 포함하는 3차원 집적 회로.

**명세서**

**기술분야**

[0001] 본 발명은 관통 실리콘 비아에 관한 것으로서, 더욱 상세하게는 주파수 혼합기로 동작하는 관통 실리콘 비아, 이를 포함하는 3차원 집적 회로 및 이의 제조 방법에 관한 것이다.

[0002] 본 발명은 지식경제부 및 한국산업기술평가관리원의 국가연구개발사업의 일환으로 (주)동부하이텍이 주관기관인 과제고유번호: 10039232, 연구사업명: 산업융합원천기술개발사업, 연구과제명: "시스템 반도체를 위한 3D Integration 요서 공정 기술 개발" 및 교육과학기술부 및 한국연구재단의 국가연구개발사업의 일환으로 한국과학기술원이 주관기관인 과제고유번호: 2010-0029374, 연구사업명: 기초연구사업, 연구과제명:"자동차 전력시스템 통합"에 관한 것이다.

**배경기술**

[0003] 오늘날 통상의 2차원 집적 회로 (2D-IC)의 개발은 칩 상 면적 제한 및 단위 면적 당 회로 밀도 증가의 제한을 염두하고 진행된다. 이런 문제의 해결을 위해, 수직적인 신호 및 전력의 연결을 통해 칩의 단위 면적 당 회로의 밀도를 증가시킬 수 있는 관통 실리콘 비아(Through Silicon Via, TSV)를 이용한 3차원 집적 회로(3D-IC)가 대안으로 연구가 이루어지고 있다. 3차원 집적 회로의 성능을 극대화하기 위해서 관통 실리콘 비아의 개수, 위치, 구조의 최적화 방법 등을 포함한 3차원 집적 회로의 설계 및 제조 방법, 3차원 집적 회로에서 방출되는 열을 고려한 설계 방법 등이 연구가 되고 있으나, 관통 실리콘 비아 자체의 물리적 특성을 이해하고, 이를 활용하는 연구 또한 활발하게 진행되고 있다.

[0004] 일반적인 회로의 설계에서 신호의 주파수 성분을 혼합(mix)하기 위해 트랜지스터를 이용한 능동 주파수 혼합기(Active Frequency Mixer) 또는 다이오드를 이용한 수동 주파수 혼합기(Passive Frequency Mixer)를 사용한다.

[0005] 최근 3차원 집적 회로 설계 상 관통 실리콘 비아가 다수 필요한 바, 주파수 혼합기의 제조를 위해 트랜지스터 혹은 다이오드의 부가 회로를 요하지 않는, 주파수 혼합기로 동작하는 관통 실리콘 비아가 필요하다.

**발명의 내용**

**해결하려는 과제**

[0006] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 주파수 혼합기로 동작하는 관통 실리콘 비아를 제공하는 것이다.

[0007] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 주파수 혼합기로 동작하는 3차원 집적 회로를 제공하는 것이다.

[0008] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 주파수 혼합기로 동작하는 3차원 집적 회로의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0009] 상기 일 목적을 달성하기 위한 본 발명의 일 실시예에 따른 관통 실리콘 비아(Through Silicon Via; TSV)는 3차

원 집적 회로를 구성하는 적어도 하나의 실리콘 기판(Silicon Substrate)을 관통하는 기둥 형상의 적어도 하나의 관통 실리콘 비아로서, 제1 면, 기둥 형상의 본체 및 제2 면을 포함한다. 상기 제1 면은 적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 전달받는다. 상기 기둥 형상의 본체는 상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 생성한다. 상기 제2 면은 상기 제1 면과 대향하며, 상기 전기적 출력 신호를 외부로 전달한다.

- [0010] 일 실시예에서, 상기 전기적 출력 신호는 상기 관통 실리콘 비아의 비선형적 신호 특성에 의해 생성된다.
- [0011] 일 실시예에서, 상기 비선형적 신호 특성은 상기 관통 실리콘 비아와 상기 실리콘 기판 간의 바이어스(Bias) 전압에 의존하여 상기 관통 실리콘 비아와 상기 실리콘 기판 및 상기 관통 실리콘 비아와 상기 실리콘 기판 사이에 형성된 절연층을 포함하는 커패시터의 커패시턴스의 크기가 비선형적으로 변화하는 것에 기초한다.
- [0012] 일 실시예에서, 상기 전기적 출력 신호는 상기 전기적 입력 신호의 고조파(Harmonics)들의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 부가 신호를 더 포함한다.
- [0013] 본 발명의 다른 실시예에 따른 3차원 집적 회로는 적어도 하나의 제1 실리콘 기판, 관통 실리콘 비아 및 절연층을 포함한다. 상기 관통 실리콘 비아는 기둥 형상으로서 적어도 하나 존재하고, 상기 제1 실리콘 기판을 관통하며, 적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 전달받는 제1 면, 상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 생성하는 기둥 형상의 본체 및 상기 제1 면과 대향하며, 상기 전기적 출력 신호를 외부로 전달하는 제2 면을 포함한다. 상기 절연층은 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 사이에 형성된다.
- [0014] 일 실시예에서, 상기 전기적 출력 신호는 상기 관통 실리콘 비아의 비선형적 신호 특성에 의해 생성된다.
- [0015] 일 실시예에서, 상기 비선형적 신호 특성은 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 간의 바이어스 전압에 의존하여 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 및 상기 절연층을 포함하는 커패시터의 커패시턴스의 크기가 비선형적으로 변화하는 것에 기초한다.
- [0016] 일 실시예에서, 상기 전기적 출력 신호는 상기 전기적 입력 신호의 고조파들의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 부가 신호를 더 포함한다.
- [0017] 일 실시예에서, 상기 3차원 집적 회로는 상기 제1 면 또는 상기 제2 면과 전기적으로 연결되어 있는 적어도 하나의 금속 범프를 더 포함한다.
- [0018] 일 실시예에서, 상기 3차원 집적 회로는 제2 실리콘 기판 및 버퍼를 더 포함한다. 상기 제2 실리콘 기판은 적어도 하나 존재한다. 상기 버퍼는 적어도 하나 존재하며, 상기 금속 범프에 전기적으로 연결되어 있는 제1 말단 및 상기 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈 또는 상기 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈에 전기적으로 연결되는 제2 말단을 구비한다.
- [0019] 본 발명의 또 다른 실시예에 따른 3차원 집적 회로는 제1 실리콘 기판, 제1 관통 실리콘 비아, 제2 관통 실리콘 비아, 제1 절연층 및 제2 절연층을 포함한다. 상기 제1 실리콘 기판은 적어도 하나 존재한다. 상기 제1 관통 실리콘 비아는 상기 제1 실리콘 기판을 관통하며, 기둥 형상으로서, 적어도 하나 존재하며, 제1 하면 및 상기 제1 하면에 대향하는 제1 상면을 포함하고, 상기 제1 하면은 적어도 하나의 제1 주파수를 가지는 적어도 하나의 제1 전기적 입력 신호를 전달받는다. 상기 제2 관통 실리콘 비아는 상기 제1 실리콘 기판을 관통하며, 기둥 형상으로서, 적어도 하나 존재하며, 제2 하면 및 상기 제2 하면에 대향하는 제2 상면을 포함하고, 상기 제2 상면은 상기 제1 관통 실리콘 비아에 흐르는 상기 제1 전기적 입력 신호에 의해 상기 제2 관통 실리콘 비아에 생성된 결합 신호(Coupled Signal)의 주파수와 상기 제2 하면에 전달된 적어도 하나의 제2 주파수를 가지는 적어도 하나의 제2 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 외부에 전달한다. 상기 제1 절연층은 상기 제1 관통 실리콘 비아와 상기 제1 실리콘 기판 사이에 형성된다. 상기 제2 절연층은 상기 제2 관통 실리콘 비아와 상기 제1 실리콘 기판 사이에 형성된다.
- [0020] 일 실시예에서, 상기 3차원 집적 회로는 상기 제1 상면 또는 상기 제1 하면 또는 상기 제2 상면 또는 상기 제2 하면과 전기적으로 연결되어 있는 적어도 하나의 금속 범프를 더 포함한다.
- [0021] 일 실시예에서, 상기 3차원 집적 회로는 제2 실리콘 기판 및 버퍼를 더 포함한다. 상기 제2 실리콘 기판은 적어도 하나 존재한다. 상기 버퍼는 적어도 하나 존재하며, 상기 금속 범프에 전기적으로 연결되는 제1 말단 및 상기 제1 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈 또는 상

기 제2 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈 또는 상기 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제3 메탈에 전기적으로 연결되는 제2 말단을 구비한다.

[0022] 본 발명의 또 다른 실시예에 따른 3차원 집적 회로의 제조 방법은 적어도 하나의 제1 실리콘 기판과 적어도 하나의 제2 실리콘 기판을 포함하는 3차원 집적 회로에서, 상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 홀(hole)을 형성하는 단계, 상기 홀의 내부 벽면에 밀착하여 파이프 구조의 절연층을 형성하는 단계, 상기 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 관통 실리콘 비아를 형성하는 단계, 상기 관통 실리콘 비아의 제1 면에 적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈을 전기적으로 연결하는 단계 및 상기 제1 면과 대향하는, 상기 관통 실리콘 비아의 제2 면에 금속 범프를 통해 상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈을 전기적으로 연결하는 단계를 포함한다.

[0023] 본 발명의 또 다른 실시예에 따른 3차원 집적 회로의 제조 방법은 적어도 하나의 제1 실리콘 기판과 적어도 하나의 제2 실리콘 기판을 포함하는 3차원 집적 회로에서 상기 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 제1 홀과 적어도 하나의 제2 홀을 형성하는 단계, 상기 제1 홀의 내부 벽면에 밀착하여 파이프 구조의 제1 절연층을 형성하는 단계, 상기 제2 홀의 내부 벽면에 밀착하여 파이프 구조의 제2 절연층을 형성하는 단계, 상기 제1 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 제1 관통 실리콘 비아를 형성하는 단계, 상기 제2 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 제2 관통 실리콘 비아를 형성하는 단계, 상기 제1 관통 실리콘 비아의 제1 하면에 적어도 하나의 제1 주파수를 가지는 적어도 하나의 제1 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈을 전기적으로 연결하는 단계, 상기 제2 관통 실리콘 비아의 제2 하면에 적어도 하나의 제2 주파수를 가지는 적어도 하나의 제2 전기적 입력 신호를 전달하고 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈을 전기적으로 연결하는 단계 및 상기 제2 관통 실리콘 비아의 제2 상면에 금속 범프를 통해 상기 제1 관통 실리콘 비아에 흐르는 상기 제1 전기적 입력 신호에 의해 상기 제2 관통 실리콘 비아에 생성된 결합 신호의 주파수와 상기 제2 관통 실리콘 비아의 제2 하면에 전달된 상기 제2 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호가 전달되고 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제3 메탈을 전기적으로 연결하는 단계를 포함한다.

[0024] 본 발명의 또 다른 실시예에 따른 3차원 집적 회로는 제1 실리콘 기판, 제2 실리콘 기판, 관통 실리콘 비아 및 절연층을 포함한다. 상기 제1 실리콘 기판은 적어도 하나 존재한다. 상기 제2 실리콘 기판은 적어도 하나 존재한다. 상기 관통 실리콘 비아는 상기 제1 실리콘 기판을 관통하며, 기둥 형상으로서, 적어도 하나 존재하며, 적어도 하나의 주파수를 가지는 적어도 하나의 전기적 입력 신호를 상기 제2 실리콘 기판 상의 회로 연결 기판에 존재하는 제1 메탈에서 금속 범프 및 버퍼를 통해 전달받는 제1 면, 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 간의 바이어스 전압의 상승에 응답하여 상기 관통 실리콘 비아와 상기 제1 실리콘 기판 및 상기 절연층을 포함하는 커패시터의 커패시턴스의 크기가 비선형적으로 감소하는 특성을 이용하여, 상기 전기적 입력 신호의 주파수의 합 또는 차에 상응하는 주파수를 가지거나 상기 전기적 입력 신호의 고조파들의 주파수의 합 또는 차에 상응하는 주파수를 가지는 전기적 신호를 포함하는 전기적 출력 신호를 생성하는 기둥 형상의 본체 및 상기 제1 면에 대향하며, 상기 전기적 출력 신호를 상기 제1 실리콘 기판 상의 회로 연결 기판에 존재하는 제2 메탈에 금속 범프 및 버퍼를 통해 전달하는 제2 면을 포함한다.

**발명의 효과**

[0025] 본 발명의 실시예들에 따른 관통 실리콘 비아 및 이를 포함하는 3차원 집적 회로는, 신호 및 전력 전송을 위해 이미 존재하는 관통 실리콘 비아를 주파수 혼합기로 동작시킬 수 있기 때문에, 혼합기 회로의 칩 상의 구현 면적 및 혼합기 구동에 필요한 전력을 줄일 수 있다.

**도면의 간단한 설명**

[0026] 도 1은 본 발명의 일 실시예에 따른 관통 실리콘 비아를 포함하는 3차원 집적 회로의 일 예를 나타내는 투시도이다.

도 2는 본 발명의 일 실시예에 따른 관통 실리콘 비아의 구조를 나타내는 단면도이다.

도 3은 본 발명의 일 실시예에 따른 관통 실리콘 비아와 관통 실리콘 비아가 형성된 제1 기판 간의 바이어스 전압과 관통 실리콘 비아 주위에 형성되는 커패시터의 커패시턴스의 상관 관계 그래프이다.

도 4는 본 발명의 일 실시예에 따른 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.

도 5는 본 발명의 일 실시예에 따른 두 개의 관통 실리콘 비아가 인근에 존재하는 경우 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.

도 6는 본 발명의 일 실시예에 따른 버퍼를 포함하는 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.

도 7은 본 발명의 일 실시예에 따른 두 개의 관통 실리콘 비아가 인근에 존재하는 경우 버퍼를 포함하는 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.

도 8은 본 발명의 실시예에 따른 하나의 관통 실리콘 비아를 이용하여 주파수 혼합기로 동작하는 3차원 집적 회로의 제조 방법을 나타내는 순서도이다.

도 9는 본 발명의 실시예에 따른 관통 실리콘 비아를 둘 이용하여 주파수 혼합기로 동작하는 3차원 집적 회로의 제조 방법을 나타내는 순서도이다.

**발명을 실시하기 위한 구체적인 내용**

[0027] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0028] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

[0029] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0030] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0031] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시(說示)된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0032] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0033] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

- [0034] 도 1 은 본 발명의 일 실시예에 따른 관통 실리콘 비아를 포함하는 3차원 집적 회로의 일 예를 나타내는 투시도이다.
- [0035] 도 1을 참조하면 본 발명의 일 실시예에 따른 3차원 집적 회로(10)는 제1 실리콘 기판(11), 제2 실리콘 기판(15), 제1 회로 연결 기판(12), 제2 회로 연결 기판(14) 및 중간층(13)을 포함한다. 도 1에는 도시되지 않았으나, 제1 실리콘 기판(11) 및 제2 실리콘 기판(15) 외에 3차원 집적 회로(10)를 구성하는 더 많은 실리콘 기판이 존재할 수 있다. 도 1에는 도시되지 않았으나 제1 회로 연결 기판(12) 및 제2 회로 연결 기판(14) 외에 3차원 집적 회로(10)를 구성하는 더 많은 회로 연결 기판이 존재할 수 있다.
- [0036] 제1 실리콘 기판(11)은 제1 실리콘 기판을 관통하는 기둥 형상의 적어도 하나의 관통 실리콘 비아(16)를 포함한다. 도 1의 제1 실리콘 기판(11) 상의 점선으로 표시된 세 개의 영역은 각각 관통 실리콘 비아(16)의 구조 단면(20), 주파수 혼합기로 동작하는 관통 실리콘 비아(16)의 구조 단면(40) 및 두 개의 관통 실리콘 비아(16)가 인 근에 존재하는 경우 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조 단면(50)을 나타낸다.
- [0037] 제2 실리콘 기판(15)의 구조는 제1 실리콘 기판(11)의 구조와 유사하므로 제2 실리콘 기판(15)의 자세한 구조의 도시는 생략한다.
- [0038] 제1 회로 연결 기판(12)은 제1 실리콘 기판(11)의 상단부에 밀착하여 형성된다. 제1 회로 연결 기판(12)은 제1 메탈(142), 절연층 및 폴리실리콘(polysilicon)을 포함한다. 제1 메탈(142)은 제1 회로 연결 기판(11) 내 관통 실리콘 비아(16)의 상단부와 전기적으로 연결되어 있다. 제1 메탈(142) 외에 제1 회로 연결 기판(12)에 포함된 더 많은 메탈이 존재할 수 있다. 상기 절연층은 제1 실리콘 기판(11)에 포함된 소스(Source) 영역, 드레인(Drain) 영역 사이 영역에 인접한 제1 회로 연결 기판(12)의 바닥 쪽 내부에 형성된다. 상기 폴리실리콘은 상기 절연층의 상단부에 밀착하여 형성된다. 상기 소스 영역, 상기 드레인 영역, 상기 절연층 및 상기 폴리실리콘으로 트랜지스터를 구성하며, 제1 메탈(142)로 상기 트랜지스터 혹은 제1 실리콘 기판(11)과 제1 회로 연결 기판(12) 상 구현된 타 소자들 간을 연결함으로써 회로를 구성한다.
- [0039] 제2 회로 연결 기판(14)은 제2 실리콘 기판(15)의 상단부에 밀착하여 형성된다. 제2 회로 연결 기판(14)은 제2 메탈(141)을 포함한다. 제2 메탈(141) 외에 제2 회로 연결 기판(14)에 포함된 더 많은 메탈이 존재할 수 있다. 제2 회로 연결 기판(14)의 구조는 제1 회로 연결 기판(12)의 구조와 유사하므로 제2 회로 연결 기판(14)의 구체적인 도시는 생략한다.
- [0040] 중간층(13)은 제1 실리콘 기판(11)과 제2 회로 연결 기판(14) 사이에 형성된다. 중간층(13)은 금속 범프(130) 및 언더필 수지층(underfill resin layer, 131)을 포함한다. 금속 범프(130)의 상단부는 제1 실리콘 기판(11) 내 관통 실리콘 비아(16)의 하단부와 전기적으로 연결되어 있으며, 금속 범프(130)의 하단부는 제2 회로 연결 기판(14) 내 제2 메탈(141)과 전기적으로 연결되어 있다. 금속 범프(130) 외에 중간층(13)에 포함된 더 많은 금속 범프들이 존재할 수 있다. 언더필 수지층(131)은 제1 실리콘 기판(11)과 제1 회로 연결 기판(14) 사이의 공간을 채우고, 서로를 절연하기 위해서 금속 범프(130) 주위에 형성될 수 있다.
- [0041] 3차원 집적 회로(10)의 관통 실리콘 비아(16)는 제1 실리콘 기판(11)과 제1 회로 연결 기판(12)으로 형성되는 회로와 제2 실리콘 기판(15)과 제2 회로 연결 기판(14)으로 형성되는 회로 간의 신호 및 전력의 전송을 가능하게 해줌으로써, 동일 회로를 2차원 집적 회로에 구현하는 하는 경우보다 칩의 단위 면적당 회로의 밀도 제고의 효과를 낼 수 있다.
- [0042] 도 2는 본 발명의 일 실시예에 따른 관통 실리콘 비아의 구조를 나타내는 단면도이다.
- [0043] 도 2를 참조하면, 본 발명의 일 실시예에 따른 관통 실리콘 비아의 구조를 나타내는 단면(20)은 관통 실리콘 비아(23), 절연층(22), 공핍층(Depletion Region, 21) 및 제1 실리콘 기판(11)을 포함한다. 절연층 커패시터(220)은 관통 실리콘 비아(23), 제1 실리콘 기판(11) 및 절연층(22)을 포함하는 커패시터를 말하며, 절연층(22) 내에 존재하는 또 다른 커패시터를 말하는 것은 아니다. 공핍층 커패시터(210)은 관통 실리콘 비아(23), 제1 실리콘 기판(11) 및 공핍층(21)을 포함하는 커패시터를 말하며, 공핍층(21) 내에 존재하는 또 다른 커패시터를 말하는 것은 아니다.
- [0044] 관통 실리콘 비아(23)는 제1 실리콘 기판(11)을 수직으로 관통한다. 절연층(22)은 관통 실리콘 비아(23)의 바깥쪽에 밀착하여 형성된다. 절연층(22)은 관통 실리콘 비아(23)와 제1 실리콘 기판(11) 간의 전기적 단절 기능을 가진다. 공핍층(21)은 절연층(22)의 바깥쪽에 밀착하여 형성된다. 공핍층(21)은 관통 실리콘 비아(23)와 제1 실리콘 기판(11) 간의 바이어스 전압(24)으로 인해 절연층(22)과 밀착한 제1 실리콘 기판(11)의 내부에 형성된

층이다.

- [0045] 도 3은 본 발명의 일 실시예에 따른 관통 실리콘 비아와 관통 실리콘 비아가 형성된 제1 기판 간의 바이어스 전압과 관통 실리콘 비아 주위에 형성되는 커패시터의 커패시턴스의 상관 관계 그래프이다.
- [0046] 도 3을 참조하면, 본 발명의 일 실시예에 따른 관통 실리콘 비아 주위에 형성된 제1 커패시터는 절연층 커패시터(220)와 공핍층 커패시터(210)을 포함한다.
- [0047] 상기 관통 실리콘 비아에 흐르는 전기적 신호가 수십 KHz를 초과하는 높은 대역의 주파수를 가지는 경우, 바이어스 전압(24)이 상승하면 상기 제1 커패시터의 커패시턴스의 크기는 S자 형태를 가지며 감소한다. 반면, 상기 관통 실리콘 비아에 흐르는 전기적 신호가 수 KHz내지 수십 KHz의 낮은 대역의 주파수를 가지고, 바이어스 전압(24)이  $V_{th}$  미만의 값을 갖는 경우, 바이어스 전압(24)이 상승하면 상기 제1 커패시터의 커패시턴스의 크기는 S자 형태를 가지며 감소하나, 바이어스 전압(24)이  $V_{th}$  이상의 값을 갖는 경우, 바이어스 전압(24)이 상승하면 상기 제1 커패시터의 커패시턴스의 크기는 비선형적으로 증가하는 특성을 가진다.
- [0048] 본 발명의 일 실시예에 따른 관통 실리콘 비아는 바이어스 전압(24)에 의존해서 상기 비선형적으로 변하는 상기 제1 커패시터의 커패시턴스의 특성에 기초해서 주파수 혼합기(Frequency Mixer)로 동작할 수 있다.
- [0049] 도 4는 본 발명의 일 실시예에 따른 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.
- [0050] 도 4를 참조하면 본 발명의 일 실시예에 따른 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조 단면(40)은 제1 실리콘 기판(11), 제1 회로 연결 기판(12), 절연층(13) 및 제2 회로 연결 기판(14)을 포함한다.
- [0051] 제2 회로 연결 기판(14)은 제1 전기적 입력 신호원(420), 제2 전기적 입력 신호원(421), 제1 메탈(410), 제2 메탈(411) 및 제3 메탈(412)을 포함한다. 제1 전기적 입력 신호원(420)은 제1 메탈(410)과 전기적으로 연결되어 있으며, 제2 전기적 입력 신호원(421)은 제2 메탈(411)과 전기적으로 연결되어 있다. 제3 메탈(412)은 절연층(13)과 인접한 영역에 생성되며 제1 메탈(410)과 제2 메탈(411)과 전기적으로 연결되어 있다. 제1 전기적 입력 신호원(420)은  $f_1$ 의 주파수를 가지는 제1 전기적 입력 신호를 발생시키고, 제2 전기적 입력 신호원(421)은  $f_2$ 의 주파수를 가지는 제2 전기적 입력 신호를 발생시킨다. 도 4에는 도시되지 않았으나, 제1 전기적 입력 신호원(420)은  $f_1$ 의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제1 전기적 입력 신호로 발생시킬 수 있고, 제2 전기적 입력 신호원(421)은  $f_2$ 의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제2 전기적 입력 신호로 발생시킬 수 있다. 상기 제1 전기적 입력 신호는 제1 전기적 입력 신호원(420)에서 생성되어, 제1 메탈(410)을 통해 제3 메탈(412)로 전파된다. 상기 제2 전기적 입력 신호는 제2 전기적 입력 신호원(421)에서 생성되어, 제2 메탈(411)을 통해 제3 메탈(412)로 전파된다.
- [0052] 절연층(13)은 제2 회로 연결 기판(14)의 상단부에 밀착하여 형성된다. 절연층(13)은 금속 범프(413)를 포함한다. 금속 범프(413)의 하단부는 제3 메탈(412)의 상단부와 전기적으로 연결되어, 상기 제1 전기적 입력 신호와 상기 제2 전기적 입력 신호를 전달받는다.
- [0053] 제1 실리콘 기판(11)은 절연층(13)의 상단부에 밀착하여 형성된다. 제1 실리콘 기판(11)은 관통 실리콘 비아(414)를 포함한다. 관통 실리콘 비아(414) 외곽에 형성된 절연층 및 공핍층의 구조는 도 2에서 상세히 도시한 바, 구체적인 도시는 생략한다. 관통 실리콘 비아(414)의 하단부는 금속 범프(413)의 상단부와 전기적으로 연결된다. 관통 실리콘 비아(414)는 금속 범프(413)로부터 상기 제1 전기적 입력 신호와 상기 제2 전기적 입력 신호를 전달받는다. 관통 실리콘 비아(414)는 비선형적 신호 특성을 이용하여, 상기 제1 전기적 입력 신호의 주파수( $f_1$ ) 또는 상기 제1 전기적 입력 신호의 고조파의 주파수( $2f_1, 3f_1, 4f_1 \dots$ )와 상기 제2 전기적 입력 신호의 주파수( $f_2$ ) 또는 상기 제2 전기적 입력 신호의 고조파의 주파수( $2f_2, 3f_2, 4f_2 \dots$ )의 합 또는 차에 상응하는 주파수를 가지는 신호들을 포함하는 전기적 출력 신호를 생성한다.
- [0054] 제1 회로 연결 기판(12)은 제1 실리콘 기판(11)의 상단부에 밀착하여 형성된다. 제1 회로 연결 기판(12)은 제4 메탈(415), 제5 메탈(416) 및 전기적 신호 출력부(422)를 포함한다. 제4 메탈(415)의 하단부는 관통 실리콘 비아(414)의 상단부와 전기적으로 연결되어 있다. 제5 메탈(416)은 제4 메탈(415)에 전기적으로 연결되어 있다. 전기적 신호 출력부(422)는 제5 메탈(416)에 전기적으로 연결되어 있다. 상기 전기적 출력 신호는 제4 메탈(415)와 제5 메탈(416)을 통해, 전기적 신호 출력부(422)에 전파된다.
- [0055] 도 5는 본 발명의 일 실시예에 따른 두 개의 관통 실리콘 비아가 인근에 존재하는 경우 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.

- [0056] 도 5를 참조하면 본 발명의 일 실시예에 따른 두 개의 관통 실리콘 비아가 인근에 존재하는 경우 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면(50)은 제1 실리콘 기관(11), 제1 회로 연결 기관(12), 제2 회로 연결 기관(14) 및 절연층(13)을 포함한다.
- [0057] 제2 회로 연결 기관(14)은 제1 전기적 입력 신호원(530), 제2 전기적 입력 신호원(531), 제1 메탈(510), 제2 메탈(511), 제3 메탈(512), 제4 메탈(513)을 포함한다. 제1 전기적 입력 신호원(530)은 제1 메탈(510)과 전기적으로 연결되어 있으며, 제2 전기적 입력 신호원(531)은 제2 메탈(531)과 전기적으로 연결되어 있다. 제3 메탈(512)과 제4 메탈(513)은 절연층(13)과 인접한 영역에 생성된다. 제3 메탈(512)은 제1 메탈(510)과 전기적으로 연결되어 있다. 제4 메탈(513)은 제2 메탈(511)과 전기적으로 연결되어 있다. 제1 전기적 입력 신호원(530)은 f1의 주파수를 가지는 제1 전기적 입력 신호를 발생시키고, 제2 전기적 입력 신호원(531)은 f2의 주파수를 가지는 제2 전기적 입력 신호를 발생시킨다. 도 5에는 도시되지 않았으나, 제1 전기적 입력 신호원(530)은 f1의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제1 전기적 입력 신호로 발생시킬 수 있고, 제2 전기적 입력 신호원(531)은 f2의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제2 전기적 입력 신호로 발생시킬 수 있다. 상기 제1 전기적 입력 신호는 제1 전기적 입력 신호원(520)에서 생성되어, 제1 메탈(510)을 통해 제3 메탈(512)로 전파된다. 상기 제2 전기적 입력 신호는 제2 전기적 입력 신호원(521)에서 생성되어, 제2 메탈(511)을 통해 제4 메탈(513)로 전파된다.
- [0058] 절연층(13)은 제2 회로 연결 기관(14)의 상단부에 밀착하여 형성된다. 절연층(13)은 금속 범프(514,515)를 포함한다. 금속 범프(514)의 하단부는 제3 메탈(512)의 상단부와 전기적으로 연결되어, 상기 제1 전기적 입력 신호를 전달받는다. 금속 범프(515)의 하단부는 제4 메탈(513)의 상단부와 전기적으로 연결되어, 상기 제2 전기적 입력 신호를 전달받는다.
- [0059] 제1 실리콘 기관(11)은 절연층(13)의 상단부에 밀착하여 형성된다. 제1 실리콘 기관(11)은 제1 관통 실리콘 비아(516) 및 제2 관통 실리콘 비아(517)를 포함한다. 제1 관통 실리콘 비아(516) 또는 제2 관통 실리콘 비아(517)의 외곽에 형성된 절연층 및 공핍층의 구조는 도 2에서 상세히 도시한 바, 구체적인 도시는 생략한다. 제1 관통 실리콘 비아(516)의 하단부는 금속 범프(514)의 상단부와 전기적으로 연결된다. 제2 관통 실리콘 비아(517)의 하단부는 금속 범프(515)의 상단부와 전기적으로 연결된다. 제1 관통 실리콘 비아(516)는 금속 범프(514)로부터 상기 제1 전기적 입력 신호를 전달받는다. 제2 관통 실리콘 비아(517)는 금속 범프(515)로부터 상기 제2 전기적 입력 신호를 전달받는다. 신호의 결합(Coupling, 532)에 의해 제1 관통 실리콘 비아(516)에 흐르는 상기 제1 전기적 입력 신호의 결합 신호가 제2 관통 실리콘 비아(517)에 생성된다. 제2 관통 실리콘 비아(517)는 비선형적 신호 특성을 이용하여, 상기 결합 신호의 주파수(f1) 또는 상기 결합 신호의 고조파의 주파수(2f1, 3f1, 4f1 ...)와 상기 제2 전기적 입력 신호의 주파수(f2) 또는 상기 제2 전기적 입력 신호의 고조파의 주파수(2f2, 3f2, 4f2 ...)의 합 또는 차에 상응하는 주파수를 가지는 신호들을 포함하는 전기적 출력 신호를 생성한다.
- [0060] 제1 회로 연결 기관(12)은 제1 실리콘 기관(11)의 상단부에 밀착하여 형성된다. 제1 회로 연결 기관(12)은 제5 메탈(518), 제6 메탈(519), 제7 메탈(520) 및 전기적 신호 출력부(533)를 포함한다. 제5 메탈(518)의 하단부는 관통 실리콘 비아(516)의 상단부와 전기적으로 연결되어 있다. 제6 메탈(519)의 하단부는 관통 실리콘 비아(517)의 상단부와 전기적으로 연결되어 있다. 제7 메탈(520)은 제6 메탈(519)에 전기적으로 연결되어 있다. 전기적 신호 출력부(533)는 제7 메탈(520)에 전기적으로 연결되어 있다. 상기 전기적 출력 신호는 제6 메탈(519)와 제7 메탈(520)을 통해, 전기적 신호 출력부(533)에 전파된다.
- [0061] 도 6는 본 발명의 일 실시예에 따른 버퍼를 포함하는 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.
- [0062] 도 6를 참조하면 본 발명의 일 실시예에 따른 버퍼를 포함하는 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조 단면(60)은 제1 실리콘 기관(11), 제1 회로 연결 기관(12), 절연층(13) 및 제2 회로 연결 기관(14)을 포함한다.
- [0063] 제2 회로 연결 기관(14)은 제1 전기적 입력 신호원(630), 제2 전기적 입력 신호원(631), 제1 메탈(610), 제2 메탈(611), 제3 메탈(613), 제4 메탈(614) 및 버퍼(612)를 포함한다. 버퍼(612) 외에 제2 회로 연결 기관(14)에 포함된 더 많은 버퍼가 존재할 수 있다. 제1 전기적 입력 신호원(630)은 제1 메탈(610)과 전기적으로 연결되어 있으며, 제2 전기적 입력 신호원(631)은 제2 메탈(611)과 전기적으로 연결되어 있다. 버퍼(612)의 입력부는 제1 메탈(610) 및 제2 메탈(611)과 전기적으로 연결되어 있으며, 버퍼(612)의 출력부는 제3 메탈(613)에 전기적으로 연결되어 있다. 제3 메탈(613)은 제4 메탈(614)와 전기적으로 연결되어 있다. 제1 전기적 입력 신호원(630)은

f1의 주파수를 가지는 제1 전기적 입력 신호를 발생시키고, 제2 전기적 입력 신호원(631)은 f2의 주파수를 가지는 제2 전기적 입력 신호를 발생시킨다. 도 6에는 도시되지 않았으나, 제1 전기적 입력 신호원(630)은 f1의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제1 전기적 입력 신호로 발생시킬 수 있고, 제2 전기적 입력 신호원(631)은 f2의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제2 전기적 입력 신호로 발생시킬 수 있다. 상기 제1 전기적 입력 신호는 제1 전기적 입력 신호원(630)에서 생성되어, 제1 메탈(610)을 통해 버퍼(612)로 전파된다. 상기 제2 전기적 입력 신호는 제2 전기적 입력 신호원(631)에서 생성되어, 제2 메탈(611)을 통해 버퍼(612)로 전파된다. 버퍼(612)의 출력 신호는 제3 메탈(614)을 통해 제4 메탈(615)로 전파된다.

[0064] 절연층(13)은 제2 회로 연결 기관(14)의 상단부에 밀착하여 형성된다. 절연층(13)은 금속 범프(615)를 포함한다. 금속 범프(615)의 하단부는 제4 메탈(614)과 전기적으로 연결되어, 상기 버퍼(612)의 출력 신호를 전달받는다.

[0065] 제1 실리콘 기관(11)은 절연층(13)의 상단부에 밀착하여 형성된다. 제1 실리콘 기관(11)은 관통 실리콘 비아(616)를 포함한다. 관통 실리콘 비아(616) 외곽에 형성된 절연층 및 공핍층의 구조는 도 2에서 상세히 도시한 바, 구체적인 도시는 생략한다. 관통 실리콘 비아(616)의 하단부는 금속 범프(615)의 상단부와 전기적으로 연결된다. 관통 실리콘 비아(616)는 금속 범프(615)로부터 버퍼(612)의 출력 신호를 전달받는다. 관통 실리콘 비아(616)는 비선형적 신호 특성을 이용하여, 상기 제1 전기적 입력 신호의 주파수(f1) 또는 상기 제1 전기적 입력 신호의 고조파의 주파수(2f1, 3f1, 4f1 ...)와 상기 제2 전기적 입력 신호의 주파수(f2) 또는 상기 제2 전기적 입력 신호의 고조파의 주파수(2f2, 3f2, 4f2 ...)의 합 또는 차에 상응하는 주파수를 가지는 신호들을 포함하는 전기적 출력 신호를 생성한다.

[0066] 제1 회로 연결 기관(12)은 제1 실리콘 기관(11)의 상단부에 밀착하여 형성된다. 제1 회로 연결 기관(12)은 제5 메탈(617), 제6 메탈(618), 제7 메탈(620), 버퍼(619) 및 전기적 신호 출력부(632)를 포함한다. 제5 메탈(617)의 하단부는 관통 실리콘 비아(616)의 상단부와 전기적으로 연결되어 있으며, 제6 메탈(618)은 제5 메탈(617)에 전기적으로 연결되어 있다. 버퍼(619)의 입력부에 제6 메탈(618)이 전기적으로 연결되어 있으며, 버퍼(619)의 출력부에 제7 메탈(620)이 전기적으로 연결되어 있다. 전기적 신호 출력부(632)는 제7 메탈(620)에 전기적으로 연결되어 있다. 상기 전기적 출력 신호는 제5 메탈(617), 제6 메탈(618), 버퍼(619) 및 제7 메탈(620)을 통해, 전기적 신호 출력부(632)에 전파된다.

[0067] 도 7은 본 발명의 일 실시예에 따른 두 개의 관통 실리콘 비아가 인근에 존재하는 경우 버퍼를 포함하는 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면도이다.

[0068] 도 7을 참조하면 본 발명의 일 실시예에 따른 두 개의 관통 실리콘 비아가 인근에 존재하는 경우 버퍼를 포함하는 주파수 혼합기로 동작하는 관통 실리콘 비아의 구조를 나타내는 단면(70)은 제1 실리콘 기관(11), 제1 회로 연결 기관(12), 절연층(13) 및 제2 회로 연결 기관(14)을 포함한다.

[0069] 제2 회로 연결 기관(14)은 제1 전기적 입력 신호원(730), 제2 전기적 입력 신호원(731), 제1 메탈(710), 제2 메탈(711), 제3 메탈(714), 제4 메탈(715), 제5 메탈(716), 제6 메탈(717), 제1 버퍼(712) 및 제2 버퍼(713)를 포함한다. 버퍼(712,713) 외에 제2 회로 연결 기관(14)에 포함된 더 많은 버퍼가 존재할 수 있다. 제1 전기적 입력 신호원(730)은 제1 메탈(710)과 전기적으로 연결되어 있으며, 제2 전기적 입력 신호원(731)은 제2 메탈(711)과 전기적으로 연결되어 있다. 버퍼(712)의 입력부는 제1 메탈(710)과 전기적으로 연결되어 있으며, 버퍼(712)의 출력부는 제3 메탈(714)과 전기적으로 연결되어 있다. 버퍼(713)의 입력부는 제2 메탈(711)과 전기적으로 연결되어 있으며, 버퍼(713)의 출력부는 제4 메탈(715)와 전기적으로 연결되어 있다. 제3 메탈(714)과 제5 메탈(716)은 전기적으로 연결되어 있으며, 제4 메탈(715)과 제6 메탈(717)은 전기적으로 연결되어 있다. 제1 전기적 입력 신호원(730)은 f1의 주파수를 가지는 제1 전기적 입력 신호를 발생시키고, 제2 전기적 입력 신호원(731)은 f2의 주파수를 가지는 제2 전기적 입력 신호를 발생시킨다. 도 7에는 도시되지 않았으나, 제1 전기적 입력 신호원(730)은 f1의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제1 전기적 입력 신호로 발생시킬 수 있고, 제2 전기적 입력 신호원(731)은 f2의 주파수를 포함한 적어도 하나의 주파수를 가지는 신호들의 합을 상기 제2 전기적 입력 신호로 발생시킬 수 있다. 상기 제1 전기적 입력 신호는 제1 전기적 입력 신호원(730)에서 생성되어, 제1 메탈(710), 버퍼(712) 및 제3 메탈(714)를 통해 제5 메탈(716)로 전파된다. 상기 제2 전기적 입력 신호는 제2 전기적 입력 신호원(731)에서 생성되어, 제2 메탈(711), 버퍼(713) 및 제4 메탈(715)을 통해서 제6 메탈(717)로 전파된다.

[0070] 절연층(13)은 제2 회로 연결 기관(14)의 상단부에 밀착하여 형성된다. 절연층(13)은 금속 범프(718,719)를 포함

한다. 금속 범프(718)의 하단부는 제5 메탈(716)과 전기적으로 연결되어, 상기 버퍼(712)의 출력 신호를 전달받는다. 금속 범프(719)의 하단부는 제6 메탈(717)과 전기적으로 연결되어, 상기 버퍼(713)의 출력 신호를 전달받는다.

[0071] 제1 실리콘 기관(11)은 절연층(13)의 상단부에 밀착하여 형성된다. 제1 실리콘 기관(11)은 제1 관통 실리콘 비아(720) 및 제2 관통 실리콘 비아(721)를 포함한다. 제1 관통 실리콘 비아(720) 또는 제2 관통 실리콘 비아(721)의 외곽에 형성된 절연층 및 공핍층의 구조는 도 2에서 상세히 도시한 바, 구체적인 도시는 생략한다. 제1 관통 실리콘 비아(720)의 하단부는 금속 범프(718)의 상단부와 전기적으로 연결된다. 제2 관통 실리콘 비아(721)의 하단부는 금속 범프(719)와 전기적으로 연결된다. 제1 관통 실리콘 비아(720)는 금속 범프(718)로부터 버퍼(712)의 출력 신호를 전달받는다. 제2 관통 실리콘 비아(721)는 금속 범프(719)로부터 상기 버퍼(713)의 출력 신호를 전달받는다. 신호의 결합(Coupling, 732)에 의해 제1 관통 실리콘 비아(720)에 흐르는 상기 버퍼(712)의 출력 신호의 결합 신호가 제2 관통 실리콘 비아(721)에 생성된다. 관통 실리콘 비아(721)는 비선형적 신호 특성을 이용하여, 상기 결합 신호의 주파수( $f_1$ ) 또는 상기 결합 신호의 고조파의 주파수( $2f_1, 3f_1, 4f_1 \dots$ )와 상기 버퍼(713)의 출력 신호의 주파수( $f_2$ ) 또는 상기 버퍼의(713)의 출력 신호의 고조파의 주파수( $2f_2, 3f_2, 4f_2 \dots$ )의 합 또는 차에 상응하는 주파수를 가지는 신호들을 포함하는 전기적 출력 신호를 생성한다.

[0072] 제1 회로 연결 기관(12)은 제1 실리콘 기관(11)의 상단부에 밀착하여 형성된다. 제1 회로 연결 기관(12)은 제7 메탈(722), 제8 메탈(723), 제9 메탈(724), 제10 메탈(726), 버퍼(725) 및 전기적 신호 출력부(733)를 포함한다. 제7 메탈(722)은 관통 실리콘 비아(720)의 상단부와 전기적으로 연결되어 있으며, 제8 메탈(723)은 관통 실리콘 비아(721)의 상단부와 전기적으로 연결되어 있다. 제9 메탈(724)은 제8 메탈(723)에 전기적으로 연결되어 있다. 버퍼(725)의 입력부는 제9 메탈(724)과 전기적으로 연결된다. 버퍼(725)의 출력부는 제10 메탈(726)과 전기적으로 연결된다. 전기적 신호 출력부(733)은 제 10 메탈(726)과 전기적으로 연결된다. 상기 전기적 출력 신호는 제8 메탈(723), 제9 메탈(724), 버퍼(725) 및 제10 메탈(726)을 통해, 전기적 신호 출력부(733)에 전파된다.

[0073] 도 8은 본 발명의 실시예에 따른 하나의 관통 실리콘 비아를 이용하여 주파수 혼합기로 동작하는 3차원 집적 회로의 제조 방법을 나타내는 순서도이다.

[0074] 도 8을 참조하면, 본 발명의 일 실시예에 따른 하나의 관통 실리콘 비아를 이용하여 주파수 혼합기로 동작하는 3차원 집적 회로의 제조 방법은 다음과 같다. 먼저 3차원 집적 회로를 구성하는 제1 실리콘 기관을 관통하는 기둥 형상의 적어도 하나의 홀(hole)을 형성한다(S810). 다음에 홀의 내부 벽면에 밀착하여 파이프 구조의 절연층을 형성한다(S820). 다음에 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 관통 실리콘 비아를 형성한다(S830). 다음에 관통 실리콘 비아의 제1 면에 전기적 입력 신호를 전달하는 제1 메탈을 전기적으로 연결한다(S840). 다음에 관통 실리콘 비아의 제2 면에 금속 범프를 통해 전기적 출력 신호가 전달되는 제2 메탈을 전기적으로 연결한다(S850).

[0075] 상기 단계(S810)는, 소형의 드릴납으로 회로 연결 기관을 천공하는 방식으로 수행될 수 있다. 그러나 일반적으로 고밀도 집적 회로에 포함되는 홀은 크기가 매우 작은데, 이 경우 드릴로 홀을 형성하는 기계적인 방법보다 레이저를 이용해 홀을 형성하는 방식이 더 적합할 수도 있다. 레이저로 천공된 홀은 홀 안쪽에 일반적으로 낮은 표면 마감을 갖는다. 이 경우 홀을 형성하는 레이저는 비아 홀의 깊이 또는 크기를 정밀하게 조절할 수 있다.

[0076] 상기 단계(S820)는, 절연 물질을 상기 홀의 내부 벽면에 증착시키는 방식으로 수행된다. 예를 들어 화학 기상 증착(Chemical Vapor Deposition, CVD) 공정 등에 의하여 절연층을 상기 홀의 내부 벽면에 증착할 수 있다.

[0077] 상기 단계(S850)를 거치면 본 발명의 일 실시예에 따른 관통 실리콘 비아를 하나 이용하여 주파수의 혼합기로 동작하는 3차원 집적 회로를 제조할 수 있다. 도 8에는 도시되지 않았으나, 연마 공정 및 평탄화 공정 등을 포함한 다른 일반적인 공정들이 상기 3차원 집적 회로의 제조 방법에 포함될 수 있다.

[0078] 도 9는 본 발명의 실시예에 따른 관통 실리콘 비아를 둘 이용하여 주파수 혼합기로 동작하는 3차원 집적 회로의 제조 방법을 나타내는 순서도이다.

[0079] 도 9를 참조하면, 관통 실리콘 비아를 둘 이용하여 주파수 혼합기로 동작하는 3차원 집적 회로의 제조 방법은 다음과 같다. 먼저 3차원 집적 회로를 구성하는 제1 실리콘 기관을 관통하는 기둥 형상의 적어도 하나의 제1 홀과 적어도 하나의 제2 홀을 형성한다(S910). 다음에 제1 홀의 내부 벽면에 밀착하여 파이프 구조의 제1 절연층을 형성한다(S920). 다음에 제2 홀의 내부 벽면에 밀착하여 파이프 구조의 제2 절연층을 형성한다(S930). 다음

에 제1 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 제1 관통 실리콘 비아를 형성한다(S940). 다음에 제2 절연층의 파이프 구조 내부 빈 공간에 기둥 형상의 제2 관통 실리콘 비아를 형성한다(S950). 다음에 제1 관통 실리콘 비아의 제1 하면에 제1 전기적 입력 신호를 전달하는 제1 메탈을 전기적으로 연결한다(S960). 다음에 제2 관통 실리콘 비아 제2 하면에 제2 전기적 입력 신호를 전달하는 제2 메탈을 전기적으로 연결한다(S970). 다음에 제2 관통 실리콘 비아의 제2 상면에 금속 범프를 통해 전기적 출력 신호가 전달되는 제3 메탈을 전기적으로 연결한다(S980).

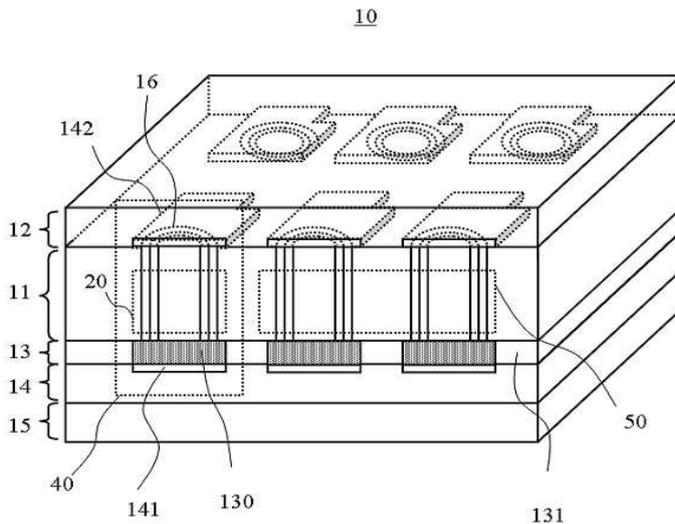
[0080] 상기 단계(S910)는, 소형의 드릴납으로 회로 연결 기판을 천공하는 방식으로 수행될 수 있다. 그러나 일반적으로 고밀도 집적 회로에 포함되는 홀은 크기가 매우 작은데, 이 경우 드릴로 홀을 형성하는 기계적인 방법보다 레이저를 이용해 홀을 형성하는 방식이 더 적합할 수도 있다. 레이저로 천공된 홀은 홀 안쪽에 일반적으로 낮은 표면 마감을 갖는다. 이 경우 홀을 형성하는 레이저는 비아 홀의 깊이 또는 크기를 정밀하게 조절할 수 있다.

[0081] 상기 단계(S920) 및 상기 단계(S930)는, 절연 물질을 상기 홀의 내부 벽면에 증착시키는 방식으로 수행된다. 예를 들어 화학 기상 증착(Chemical Vapor Deposition, CVD) 공정 등에 의하여 절연층을 상기 홀의 내부 벽면에 증착할 수 있다.

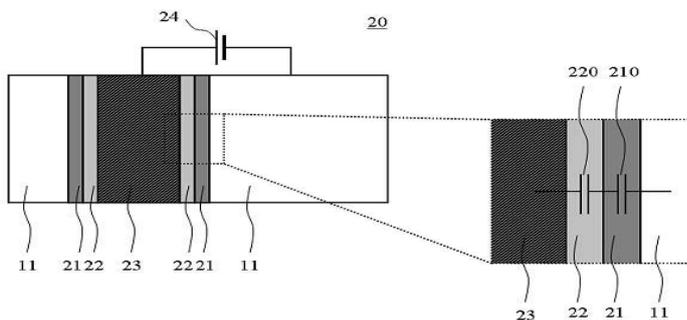
[0082] 상기 단계(S980)를 거치면 본 발명의 일 실시예에 따른 관통 실리콘 비아를 둘 이용하여 주파수 혼합기로 동작하는 3차원 집적 회로를 제조할 수 있다. 도 9에는 도시되지 않았으나, 연마 공정 및 평탄화 공정 등을 포함한 다른 일반적인 공적들이 상기 3차원 집적 회로의 제조 방법에 포함될 수 있다.

**도면**

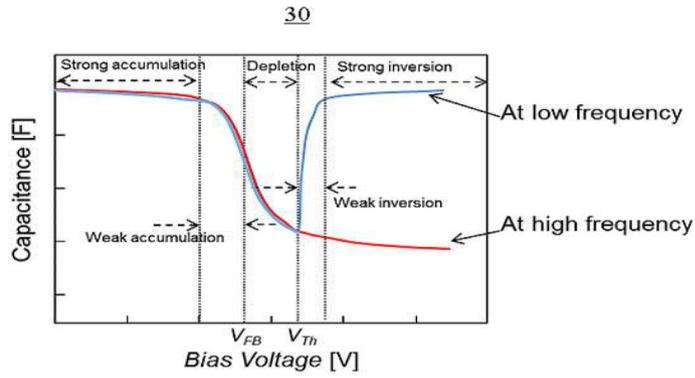
**도면1**



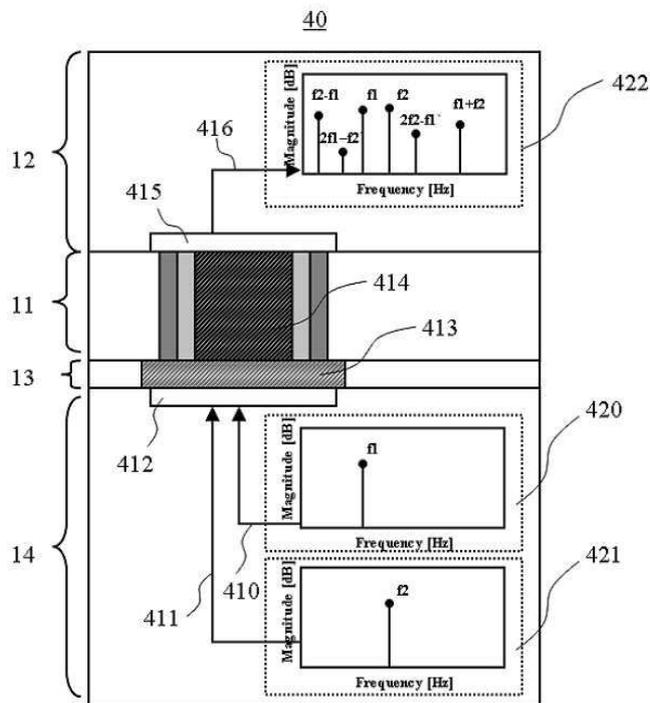
**도면2**



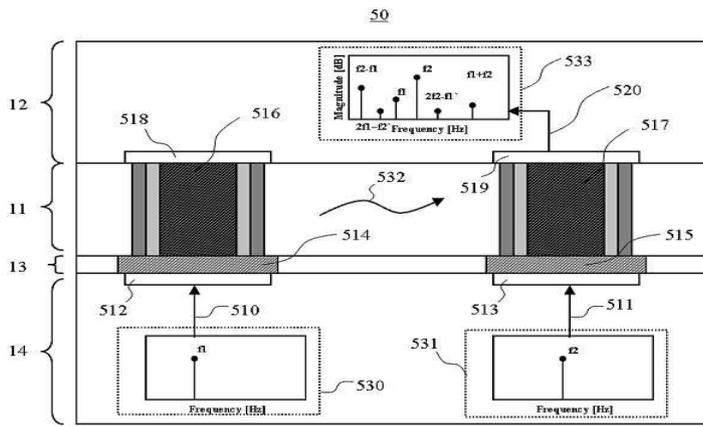
도면3



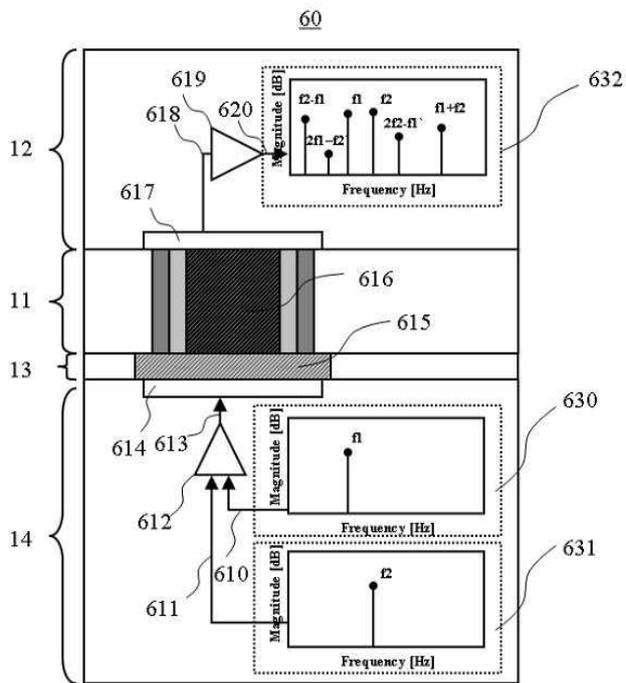
도면4



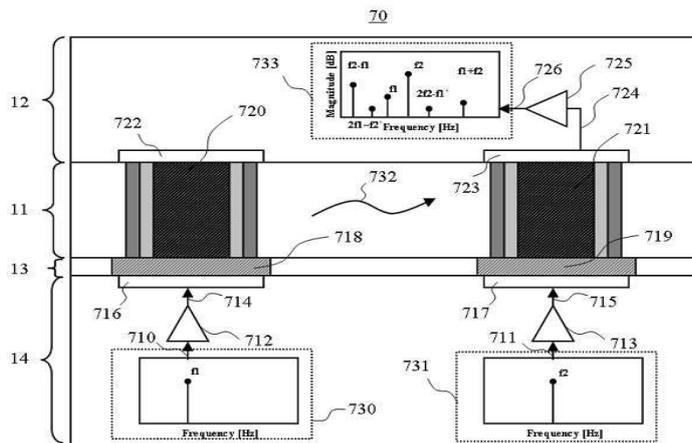
도면5



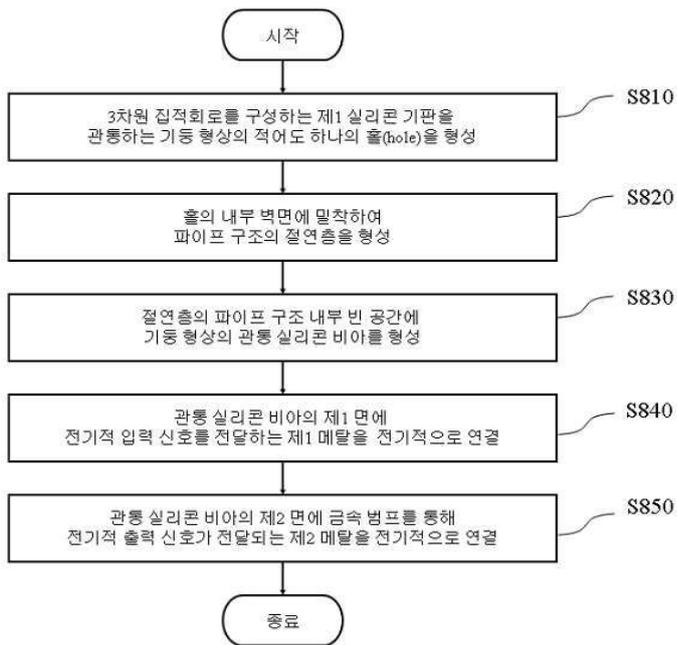
도면6



도면7



도면8



도면9

