



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월31일
(11) 등록번호 10-1060648
(24) 등록일자 2011년08월24일

(51) Int. Cl.
H03B 5/08 (2006.01) *H03B 5/12* (2006.01)

(21) 출원번호 10-2009-0112667
(22) 출원일자 2009년11월20일
심사청구일자 2009년11월20일
(65) 공개번호 10-2011-0056009
(43) 공개일자 2011년05월26일
(56) 선행기술조사문헌
US06252467 B1*
KR1020080061480 A
JP2000244285 A*
F.J.R. A Pulse Generator for UWB-IR Based on a Relaxation Oscillator, IEEE trans. circuits and systems II, Mar. 2008, pp. 239-243 국외논문 사본 1부.
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국과학기술원
대전 유성구 구성동 373-1
(72) 발명자
홍성철
대전광역시 유성구 어은동 한빛아파트 119-503
심상훈
대전광역시 유성구 구성동 한국과학기술원 나노종합 팹 센터 S-216호
(74) 대리인
이은철

전체 청구항 수 : 총 3 항

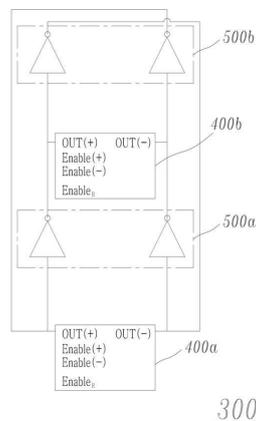
심사관 : 강현일

(54) 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기

(57) 요약

본 발명은 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기에 관한 것으로서, 전원공급에 따른 펄스 신호를 발생시키는 N개의 펄스 오실레이터; 상기 N개의 펄스 오실레이터 출력신호에 대하여 각각의 반전 증폭 신호를 출력하는 N개의 반전증폭부; 를 포함하되, 상기 펄스 오실레이터가 짝수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(-)와 OUT(+)에 각각 연결되도록 배열(array)되며, 상기 펄스 오실레이터의 개수가 홀수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되도록 배열(array)되는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기에 있어서,

전원공급에 따른 펄스 신호를 발생시키는 N개의 펄스 오실레이터;

상기 N개의 펄스 오실레이터 출력신호에 대하여 각각의 반전 증폭 신호를 출력하는 N개의 반전증폭부; 를 포함 하되,

상기 펄스 오실레이터가 짝수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(-)와 OUT(+)에 각각 연결되도록 배열(array)되며,

상기 펄스 오실레이터의 개수가 홀수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되도록 배열(array)되는 것을 특징으로 하며,

상기 N개의 펄스 오실레이터 각각은,

공진기 및 네가티브 컨덕턴스 발생기로 구성되어, 전원 공급에 따른 펄스 신호를 발생시키는 오실레이터부; 및

상기 오실레이터부에 공급되는 전원을 단속하는 제 1 스위치부; 를 포함하되,

상기 오실레이터부는, actual 또는 virtual AC ground를 중심으로 등가적인 반쪽회로(Left core, Right core)로 구성되며, 두 등가 반쪽회로에 공급되는 전원을 제 1 스위치부의 두 개의 스위치가 각각 단속하는 구조를 가지는 것을 특징으로 하는 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기.

청구항 2

삭제

청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 제 1 스위치부의 두 개의 스위치는,

상기 등가 반쪽회로 각각에 공급되는 전원을 비 동시적으로 단속하는 것을 특징으로 하는 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기.

청구항 4

제 1 항에 있어서,

상기 제 1 스위치부의 두 개의 스위치는,

BPSK 모듈레이션 수행이 가능하도록, 비 동시적 제어신호의 단속 순서를 교환하는 것을 특징으로 하는 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기.

청구항 5

제 1 항에 있어서,

상기 오실레이터부는,

상기 공진기를 우회하도록 공진기와 네가티브 컨덕턴스 발생기의 사이에 연결되어, 스위칭 동작에 의한 울림을

줄이거나 스위칭시의 응답속도를 향상시키기 위한 제 2 스위치부를 포함하는 것을 특징으로 하는 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 제 1 스위치부의 두 개의 스위치는,

능동소자 스위치 또는 수동소자 스위치인 것을 특징으로 하는 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 초 광대역 신호 발생기에 관한 것으로서, 더욱 상세하게는 차동구조(differential)의 펄스 오실레이터와 그 배열(array)을 이용하여 초 광대역 신호를 발생시키는데 있어, 다 위상 펄스의 발생과 PSK 모듈레이션을 위해 차동구조의 펄스 오실레이터의 등가 반쪽회로를 각각 비동시적으로 단속하고 배열로 구성하는 방식에 관한 기술이다.

배경 기술

[0002] 초 광대역 무선 기술은, 짧은 펄스동작으로 인해 저 전력 동작이 가능하며, 넓은 대역폭을 이용하여 고속의 통신이나 높은 정확도를 가지는 위치추적 시스템의 구현이 가능하기 때문에 현재 연구가 활발히 진행되고 있다. 펄스를 이용하여 송수신을 할 경우 펄스를 모듈레이션 해주지 않으면 신호간의 간섭이나 펄스의 주기적인 반복 특성으로 인해 여러 가지 문제가 발생한다. 레이더 시스템 또는 통신 시스템에서 효과적인 데이터전송 및 타겟 정보의 추출을 위해서는 QPSK 또는 그 이상의 M-PSK 모듈레이션이 필요하다.

[0003] 기존의 초 광대역 펄스 발생 및 BPSK 모듈레이션 방법은 도 1 에 도시된 바와 같이, 스위치(102, 103)와 스위치 제어신호(102a, 103a)를 이용하여 지속적으로 동작하는 차동구조 정현파 발생기(101)의 신호(101a, 101b)가 소정의 시간(τ)동안만 통과하도록 하여 초 광대역 신호(104a, 104b)를 발생시킨다.

[0004] 여기서, 정현파 발생기(101)가 차동구조인 경우 발진 신호(101a, 101b)는 (+)와 (-)의 위상을 갖게 되므로, (+)신호의 스위치(102)를 이용하여 출력할 경우 출력단(104)의 신호는 (+)의 펄스(104a)가 되고, (-)신호의 스위치(103)을 이용하여 출력할 경우 출력단(104)의 신호는 (-)의 펄스(104b)가 되며, 이것을 이용하여 BPSK 모듈레이션을 할 수 있게 된다.

[0005] 기존의 초 광대역 펄스 발생 및 QPSK 모듈레이션 방법은 도 2 에 도시된 바와 같이, 스위치(202, 203, 204, 205)와 스위치 제어신호(207)를 이용하여 지속적으로 동작하는 직각위상(quadrature) 정현파 발생기(201)의 신호(201a, 201b, 201c, 201d)가 소정의 시간(τ)동안만 통과하도록 하여 초 광대역 신호(208, 209, 210, 211)를 발생시킨다. 여기서, 직각위상(quadrature) 정현파 발생기(201)는 도 2 에서 보는바와 같이 2개의 차동 발진기와 4개의 반전 증폭기로 구성된 배열(array)형태로 구현할 수 있다.

[0006] 직각위상(quadrature) 정현파 발생기(201)의 발진 신호(201a, 201b, 201c, 201d)는 0° , 90° , 180° , 270° 의 위상을 갖게 되므로, 0° 신호의 스위치(202)를 이용하여 출력할 경우, 출력단(206)의 신호는 0° 의 펄스(208)가 되고, 90° 신호의 스위치(203)를 이용하여 출력할 경우, 출력단(206)의 신호는 90° 의 펄스(209)가 되며, 180° 신호의 스위치(204)를 이용하여 출력할 경우, 출력단(206)의 신호는 180° 의 펄스(210)가 되고, 270° 신호의 스위치(205)를 이용하여 출력할 경우, 출력단(206)의 신호는 270° 의 펄스(211)가 되어, 이것을 이용하면 QPSK 모듈레이션을 할 수 있다.

[0007] 이러한 기존 초 광대역 펄스 발생기는 스위치부(102, 103, 202, 203, 204, 205)의 삽입 손실로 인해 전력효율이 떨어지며, 스위치부의 삽입 손실을 보상하기위해 스위치부를 능동 앰프형태로 구현할 경우 추가적인 전력손실이

발생하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 차동구조의 펄스 오실레이터와 그 배열을 이용하여 초 광대역 신호를 발생시키는데 있어, 비 동시적 제어신호를 이용하여 등가 반쪽회로 각각을 비 동시적으로 단속함으로써, 발진기의 과도 응답속도를 극대화할 수 있으며, 비 동시적 제어신호의 단속 순서를 교환함으로써 별도의 모듈레이터 없이 PSK 모듈레이션 수행이 가능한 다 위상 초 광대역 신호 발생기를 제공함에 그 특징적인 목적이 있다.

과제 해결수단

[0009] 이러한 기술적 과제를 달성하기 위한 본 발명은 차동구조의 펄스 오실레이터와 그 배열을 이용한 다 위상 초 광대역 신호 발생기에 관한 것으로서, 전원공급에 따른 펄스 신호를 발생시키는 N개의 펄스 오실레이터; 상기 N개의 펄스 오실레이터 출력신호에 대하여 각각의 반전 증폭 신호를 출력하는 N개의 반전증폭부; 를 포함하되, 상기 펄스 오실레이터가 짝수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(-)와 OUT(+)에 각각 연결되도록 배열(array)되며, 상기 펄스 오실레이터의 개수가 홀수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되도록 배열(array)되는 것을 특징으로 한다.

효과

[0010] 본 발명에 따른 초 광대역 신호 발생기를 사용할 경우, 별도의 모듈레이터 없이 PSK 모듈레이션을 수행할 수 있고 빠른 과도응답 특성을 얻을 수 있다. 따라서, 회로구현의 복잡도와 구현 비용을 줄일 수 있고, 저전력, 고속, 고정밀도의 동작특성을 갖는 무선시스템의 구현이 가능하다.

발명의 실시를 위한 구체적인 내용

[0011] 본 발명의 구체적 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.

[0012] 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.

[0013] 본 발명에 따른 차동구조의 펄스 오실레이터와 그 배열(array)을 이용한 다 위상 초 광대역 신호 발생기(300) (이하, '초 광대역 신호 발생기')에 관하여 도 3 내지 도 15 를 참조하여 설명하면 다음과 같다.

[0014] 도 3 은 본 발명에 따른 초 광대역 신호 발생기(300)에 관한 전체 구성도이며, 도 4 는 도 3 의 기본 구성단위인 차동구조의 펄스 오실레이터(400)를 나타낸다.

[0015] 먼저, 본 발명에 따른 초 광대역 신호 발생기(300)의 기본 구성단위인 차동구조 펄스 오실레이터(400)에 관하여 설명하면 다음과 같다.

[0016] 차동구조의 펄스 오실레이터(400)는 도 4 에 도시된 바와 같이, 공진기(Resonator)(411:411a, 411b) 및 네가티브 컨덕턴스 발생기(negative conductance)(-G)(412:412a, 412b)로 구성되어, 전원 공급에 따른 펄스 신호를 발생시키는 오실레이터부(410) 및 상기 오실레이터부(410)에 공급되는 전원을 단속하는 제 1 스위치부(420:421, 422)를 포함하여 이루어진다.

[0017] 이때, 제 1 스위치부(420:421, 422)는 능동소자 스위치 또는 수동소자 스위치로서, 오실레이터부(410)는 actual 또는 virtual AC ground(430, 440)를 중심으로 등가적인 반쪽회로(Left core, Right core)로 구성되며, 두 등가 반쪽회로에 공급되는 전원을 제 1 스위치부의 두 개의 스위치(421, 422)가 각각 단속하는 구조를 가진다.

- [0018] 여기서, 오실레이터부(410)는, 공진기(411a, 411b)를 우회(bypass)하도록 공진기(411a, 411b)와 네가티브 컨덕턴스 발생기(412a, 412b)의 사이에 연결되어, 스위칭 동작에 의한 울림(ringing)을 줄이거나 스위칭시의 응답속도를 향상시키기 위한 제 2 스위치부(413:413a, 413b)를 포함할 수 있다.
- [0019] 상기한 바와 같이 구성된 차동구조 펄스 오실레이터(400)의 신호 발생 흐름을 살펴보면 다음과 같다.
- [0020] 먼저, 오실레이터부(410)에 공급되는 전원이 소정의 시간동안만 공급되도록 제 1 스위치부(421, 422)를 단속하면, 펄스 형태의 신호가 발생하게 된다.
- [0021] 여기서, 제 1 스위치부(421, 422)의 제어단자 Enable(+)와 Enable(-)에 입력되는 제어신호에 따라, 출력단자 OUT(+)와 OUT(-)에 출력되는 펄스 신호의 극성(polarity)을 바꿔줄 수 있다. 즉, Enable(+)와 Enable(-)의 제어신호에 따라 OUT(+) 신호의 위상이 0° 이고 OUT(-) 신호의 위상이 180° 가 되도록 할 수도 있고, OUT(+)의 위상이 180° 이고 OUT(-) 신호의 위상이 0° 가 되도록 할 수도 있다.
- [0022] 본 발명에서는, 서로 180도 위상 차이 나는 펄스 오실레이터의 신호를 편의상 '+' 와 '-' 로 구분하도록 하겠다.
- [0023] 도 5 및 도 6 은 Enable(+)와 Enable(-)에 입력되는 신호를 나타낸다.
- [0024] 제어신호에 따라 'off', 'oscillation ready', 'oscillation' 3가지의 상태가 존재한다. 'oscillation ready' 상태는 다시 'left core oscillation ready' 상태와 'right core oscillation ready' 상태로 나뉘며 도 5 및 도 6 에 각각 나타나 있다.
- [0025] 먼저, 도 5 및 도 6 에서, 'off' 상태에서는 제 1 스위치부(421, 422)는 턴 오프(turn off)되어 있고, 제 2 스위치부(413a, 413b)는 턴 온(turn on)되어있다.
- [0026] 이 경우, OUT(+)쪽 left core와 OUT(-)쪽 right core 모두 전류가 흐르지 않고 발진을 위해 필요한 네가티브 컨덕턴스(negative conductance)가 발생하지 않으므로 발진할 수 없는 상태가 된다.
- [0027] 도 5 의 'Left core oscillation ready' 상태(τ_1)에서, 제 1 스위치부의 스위치 421은 턴 온(turn on)(10)되고, 제 1 스위치부의 스위치 422는 턴 오프(turn off)(20) 상태를 유지한다.
- [0028] 차동구조 오실레이터에 대한 등가적인 반쪽회로는, 구동 원리상 (actual 또는 virtual) AC ground를 중심으로 나뉘어진 것이므로, 차동구조 오실레이터가 발진하기 위해서는 양쪽의 등가 반쪽회로가 모두 네가티브 컨덕턴스(negative conductance)(-G)를 가져야 한다.
- [0029] 따라서, 도 5 의 제어신호에 대해 'Left core oscillation ready' 상태(τ_1)에서 left core는 전류가 흐르는 상태가 되지만, right core는 여전히 스위치 422에 의해 턴 오프(turn off)되어 있으므로 결국 발진조건을 만족시킬 수 없게 되어 발진할 수 없는 상태가 된다.
- [0030] 여기서, 제 2 스위치부(413a, 413b)는 턴 온(turn on)(30) 상태이고, 공진기(411a, 411b)를 AC ground로 우회(bypass)시키고 있으므로, 스위칭시에 발생할 수 있는 울림(ringing)성분을 제거해주게 된다.
- [0031] 한편, 도 6 의 'Right core oscillation ready' 상태(τ_1)에서, 제 1 스위치부의 스위치 421은 턴 오프(turn off)(40) 상태를 유지하고, 스위치 422는 턴 온(turn on)(50)된다.
- [0032] 차동구조의 오실레이터가 발진하기 위해서는 양쪽의 등가 반쪽회로가 모두 네가티브 컨덕턴스(negative conductance)(-G)를 가져야 한다는 것을 생각해보면, right core는 전류가 흐르는 상태가 되지만 left core는 여전히 스위치 421에 의해 턴 오프(turn off)되어 있으므로 결국 발진조건을 만족시킬 수 없게 되어 발진할 수 없는 상태가 된다. 여기서, 제 2 스위치부(413a, 413b)는 'left core oscillation ready'와 마찬가지로 턴 온(turn on)(60) 상태이고, 공진기(411a, 411b)를 AC ground로 우회(bypass)시키고 있으므로 스위칭시에 발생할 수 있는 울림(ringing)성분을 제거해주게 된다.
- [0033] 'oscillation' 상태는 도 5 와 같이 'left core oscillation ready'인 상태에서 'oscillation' 상태가 되는 경우와, 도 6 과 같이 'right core oscillation ready'인 상태에서 'oscillation' 상태가 되는 경우로 나뉠 수

있다.

- [0034] 이 두 가지 경우는, 발진초기조건이 left core와 right core간에 서로 교환되어 일어나므로, 발진 신호의 위상 역시 서로 교환된다. 이때, 차동 발진기의 특성상 서로 180도의 위상 차이를 보이므로 발진 신호의 극성(polarity)이 반대 방향으로 일어난다.
- [0035] 따라서, 도 5의 경우, 발진이 시작하는 순간에 right core에 전원이 공급되면서 발진이 일어나고, 도 6의 경우, 발진이 시작하는 순간에 left core에 전원이 공급되면서 발진이 일어나며, 발진기가 차동 동작을 하게 되므로 도 5와 도 6의 제어신호에 의해 서로 극성(polarity)이 다른 발진 신호가 발생하게 된다.
- [0036] 즉, 도 4에 도시된 바와 같은, 차동구조에 도 5의 제어신호를 인가했을 경우 OUT(+)(또는 OUT(-))에 출력되는 신호의 위상과, 도 6의 제어신호를 인가했을 경우, OUT(+)(또는 OUT(-))에 출력되는 신호의 위상은 서로 180°의 차이를 보이게 된다. 따라서, 도 4와 같은 차동구조에 도 5와 도 6과 같은, 비 동시적인 제어신호를 이용하면 별도의 모듈레이터 없이 BPSK모듈레이션을 수행할 수 있다.
- [0037] 또한, 본 발명에 따른 비 동시적인 제어신호(도 5, 도 6)는 발진 초기에 차동구조 펄스 오실레이터의 과도응답 속도를 극대화 시켜주는 장점이 있다. 이것은, 차동구조 오실레이터의 경우 등가 반쪽회로(Left core, Right core)의 양단에 동시적인 외란이 일어날 경우 이것을 억제하려는 동작 특성이 있기 때문인데, 이러한 문제는 위와 같은 비 동시적인 제어신호를 이용함으로써 해결될 수 있다.
- [0038] 본 발명에 따른 초 광대역 신호 발생기(300)는, 전원공급에 따른 펄스 신호를 발생시키는 N개의 펄스 오실레이터(400)와, N개의 펄스 오실레이터 출력신호에 대하여 각각의 반전 증폭 신호를 출력하는 N개의 반전증폭부(500)를 포함한다.
- [0039] 또한, QPSK 모듈레이션을 위한 차동구조 펄스 오실레이터는 도 3과 같은 배열(array)형태로 구성할 수 있다.
- [0040] 즉, 도 3에 도시된 바와 같이 제 1 펄스 오실레이터(400a)의 출력 OUT(+)와 OUT(-)은 각각 제 1 반전증폭부(500a)를 거쳐, 제 2 펄스 오실레이터(400b)의 출력 OUT(+)와 OUT(-)에 각각 연결되며, 제 2 펄스 오실레이터(400b)의 출력 OUT(+)와 OUT(-)은 제 2 반전증폭부(500b)를 거쳐, 제 1 펄스 오실레이터(400a)의 출력 OUT(-)와 OUT(+)에 각각 연결된다.
- [0041] 이때, 제 1 펄스 오실레이터(400a) 및 제 2 펄스 오실레이터(400b) 각각에 대해 제어신호가 필요하다.
- [0042] 한편, 도 5와 같이 left core가 먼저 켜진후에 발진이 시작되도록 제어하는 입력신호를 로직 0이라 하고, 도 6과 같이 right core가 먼저 켜진후에 발진이 시작되도록 제어하는 입력신호를 로직 1이라 하자.
- [0043] 즉, 제 1 펄스 오실레이터(400a)는 left core가 먼저 켜진후에 발진이 시작되도록 신호(도 5의 신호)를 입력시키고, 제 2 펄스 오실레이터(400b)는 right core가 먼저 켜진후에 발진이 시작되도록 신호(도 6의 신호)를 입력시킨다고 하면, 제 1 펄스 오실레이터(400a)와 제 2 펄스 오실레이터(400b) 각각에 대한 제어신호(OSC_{400a}, OSC_{400b})는 (0, 1)로 표현할 수 있다.
- [0044] 이때, (0, 0) 또는 (0, 1) 또는 (1, 0) 또는 (1, 1)에 의해 발생된 신호는 발진 초기조건이 서로 교환되어 발진 신호의 위상변화 역시 가능하고, 각 배열간에 직각위상(Quadrature)의 관계가 있으므로, QPSK 모듈레이션을 수행할 수 있다. 각각의 입력신호에 따른 출력 신호의 위상 관계는 도 7과 같다.
- [0045] QPSK 이상의 M-PSK가 요구되는 경우에는 도 8과 같이 보다 많은 수의 배열(array) 형태로 구성하여 구현할 수 있다. 도 8의 (a)는 차동구조의 펄스 오실레이터(400)가 짝수 개수로 배열되었을 경우를 나타내는 일례시도이며, (b)는 차동구조의 펄스 오실레이터(400)가 홀수 개수로 배열되었을 경우를 나타내는 일례시도이다.
- [0046] 즉, 펄스 오실레이터가 짝수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(-)와 OUT(+)에 각각 연결되도록 배열(array)된다.
- [0047] 또한, 펄스 오실레이터의 개수가 홀수개인 경우, 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증폭부를 거쳐 그 다음 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되는 방식으로, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)까지 각각 연결되고, 마지막 펄스 오실레이터의 출력 OUT(+)와 OUT(-)은 각각 반전 증

폭부를 거쳐 첫 번째 펄스 오실레이터의 출력 OUT(+)와 OUT(-)에 각각 연결되도록 배열(array)된다. 한편, 상기도 3의 경우, 차동구조의 펄스 오실레이터(400)가 짝수 개수로 배열되었을 경우인 것을 알 수 있다.

- [0048] 이하에서는, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명한다.
- [0049] 도 9는 본 발명의 일실시예에 따른 CMOS와 LC 공진기(LC resonator)를 이용하여 구현된 차동구조 펄스 오실레이터(600)의 구성도로서, 차동구조의 오실레이터부(610a, 610b, M₃, M₄)와 스위치부(M₁, M₂, M₅, M₆)로 구성된다.
- [0050] M₃와 M₄는 각각의 드레인과 게이트가 서로 크로스 커플(cross couple)되어 네가티브 컨덕턴스(negative conductance)(-G)를 제공하며, LC 공진기(LC resonator)(610a, 610b)의 손실을 보상하여 LC 차동 오실레이터를 구성한다.
- [0051] 여기서, M₃와 M₄에 공급되는 전원을 M₁과 M₂를 이용하여 단속하는 구조를 가지며, M₅와 M₆는 스위칭 동작에 의한 울림(ringing)을 줄이거나 스위칭시의 응답속도를 향상시키기 위한 목적으로 사용된다.
- [0052] 도 10은 도 9를 CMOS공정을 이용하여 제작한 칩의 사진도로서, 본 발명에 따른 초 광대역 신호 발생방법은 IC(Integrated Circuit) 형태로 제작이 용이하다.
- [0053] 도 11은 도 5의 제어 신호를 인가했을 때, OUT(+) 출력 신호의 시뮬레이션 결과를 나타내며, 도 12은 도 6의 제어 신호를 인가했을 때, OUT(+) 출력 신호의 시뮬레이션 결과를 나타낸다.
- [0054] 도 13은 도 11과 도 12에서 나타내는 시뮬레이션 출력신호의 위상을 비교하기 위해 두 결과를 합쳐놓은 것으로서, 이를 통해 도 5와 도 6의 제어신호를 이용하여, 출력 신호의 위상을 180° 변화시켜 줄 수 있음을 알 수 있고, 100ps 정도의 빠른 과도응답을 보이는 것을 알 수 있다.
- [0055] 도 14는 본 발명의 일실시예에 따른 CMOS와 LC 공진기(LC resonator)를 이용하여 구현한 초 광대역 신호 발생기(700)의 구성도로서, 차동구조 펄스 오실레이터와, 배열(array) 구성을 위한 반전증폭부(M₃', M₄')로 구성된다.
- [0056] 도 15는 도 7의 제어 신호에 따른 OUT(+)_{400a} 출력 신호의 시뮬레이션 결과를 나타내며, 입력 신호에 따른 출력신호의 위상 관계를 보여준다.

[0057] 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

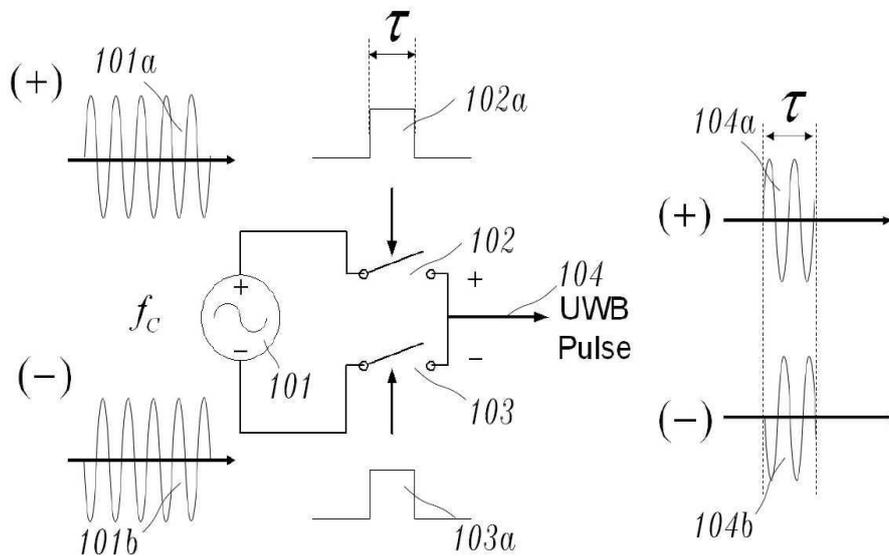
도면의 간단한 설명

- [0058] 도 1는 기존의 초 광대역 펄스 발생 및 BPSK 모듈레이션을 설명하기 위한 일예시도.
- [0059] 도 2는 기존의 초 광대역 펄스 발생 및 QPSK 모듈레이션을 설명하기 위한 일예시도.
- [0060] 도 3은 본 발명에 따른 차동구조의 펄스 오실레이터와 그 배열(array)을 이용한 다 위상 초 광대역 신호 발생기에 관한 구성도.
- [0061] 도 4는 본 발명에 따른 차동구조의 펄스 오실레이터에 관한 구성도.
- [0062] 도 5 및 도 6은 본 발명에 따른 차동구조의 펄스 오실레이터의 제어신호를 보이는 일예시도.
- [0063] 도 7은 본 발명에 따른 제어신호에 따른 출력 위상의 관계를 보이는 일예시도.
- [0064] 도 8은 본 발명에 따른 임의 개수의 펄스 오실레이터 배열을 이용한 다 위상 초 광대역 신호 발생기에 관한 구성도.
- [0065] 도 9는 본 발명의 일실시예에 따른 CMOS와 LC 공진기(LC resonator)를 이용하여 구현된 차동구조 펄스 오실레이터의 구성도.

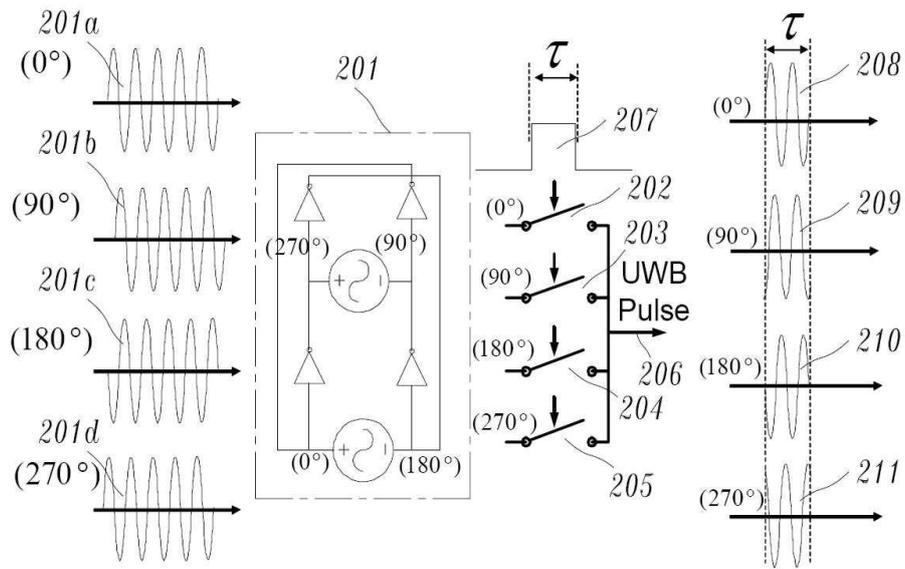
- [0066] 도 10 은 본 발명에 따른 CMOS 공정을 이용하여 실제 구현된 초 광대역 신호 발생기 IC(Integrated Circuit)의 사진도.
- [0067] 도 11 은 본 발명에 따른 도 5 의 제어신호에 따른, 실제 구현된 초 광대역 신호 발생기 IC의 컴퓨터 시뮬레이션 결과를 보여주는 그래프.
- [0068] 도 12 는 본 발명에 따른 도 6 의 제어신호에 따른, 실제 구현된 초 광대역 신호 발생기 IC의 컴퓨터 시뮬레이션 결과를 보여주는 그래프.
- [0069] 도 13 은 본 발명에 따른 도 11 및 도 12 에서 나타내는 시뮬레이션 출력신호의 위상을 비교하기 위한 그래프.
- [0070] 도 14 는 본 발명의 일실시예에 따른 CMOS와 LC 공진기(LC resonator)를 이용하여 구현한 초 광대역 신호 발생기의 구성도.
- [0071] 도 15 는 도 7 의 제어 신호에 따른 OUT(+)_{400a} 출력 신호의 시뮬레이션 결과를 나타내는 그래프.

도면

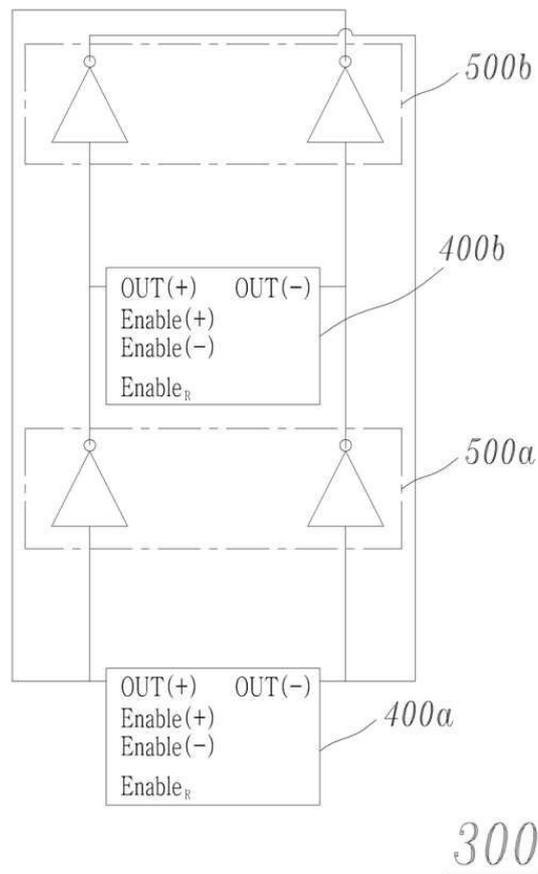
도면1



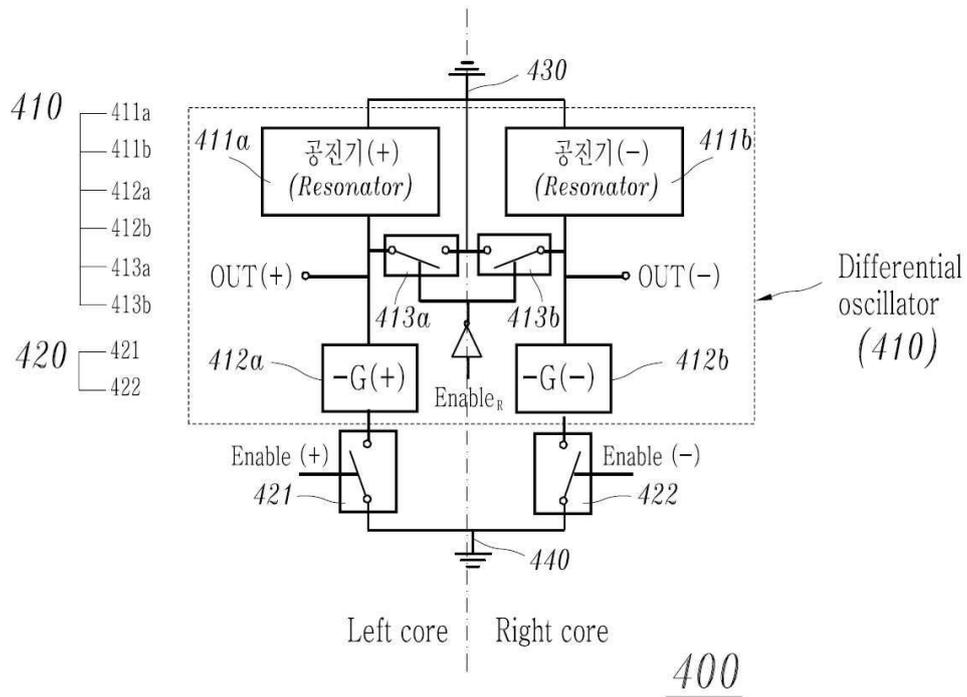
도면2



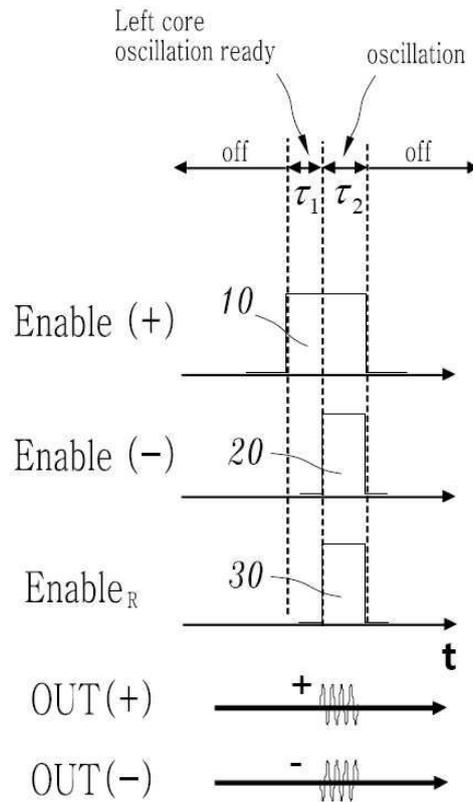
도면3



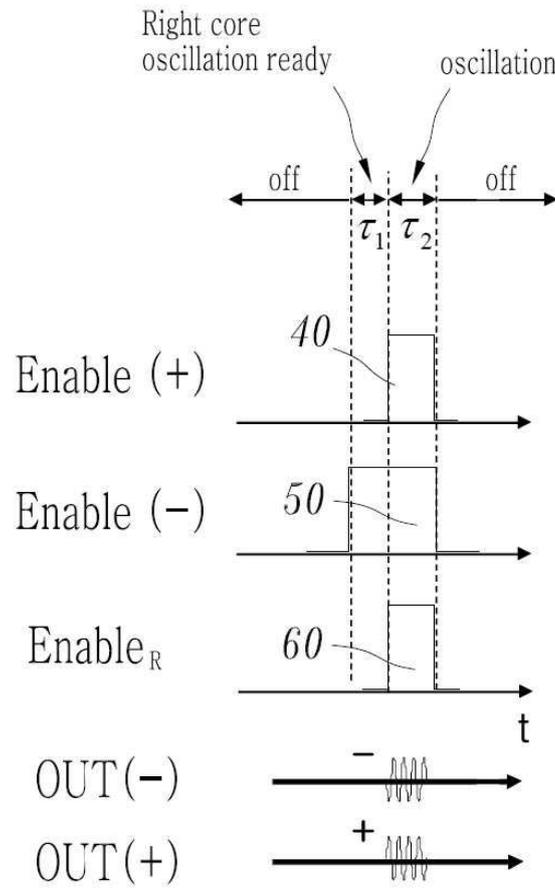
도면4



도면5

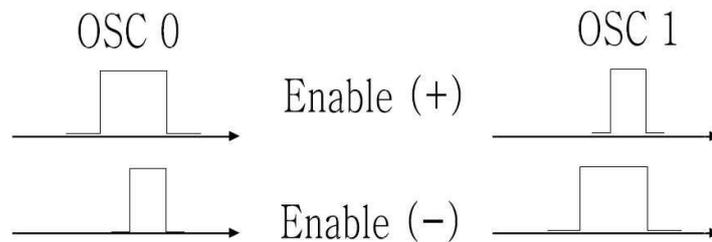


도면6

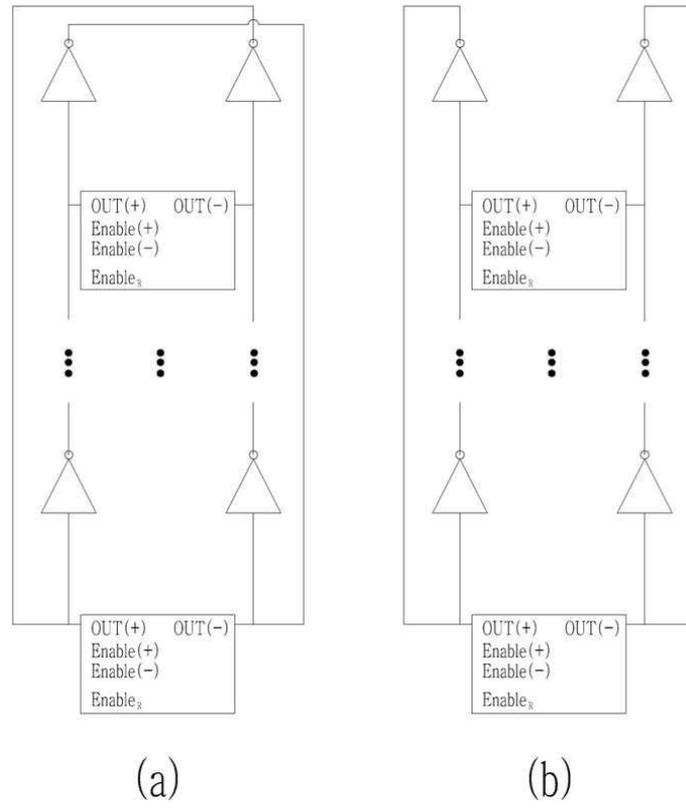


도면7

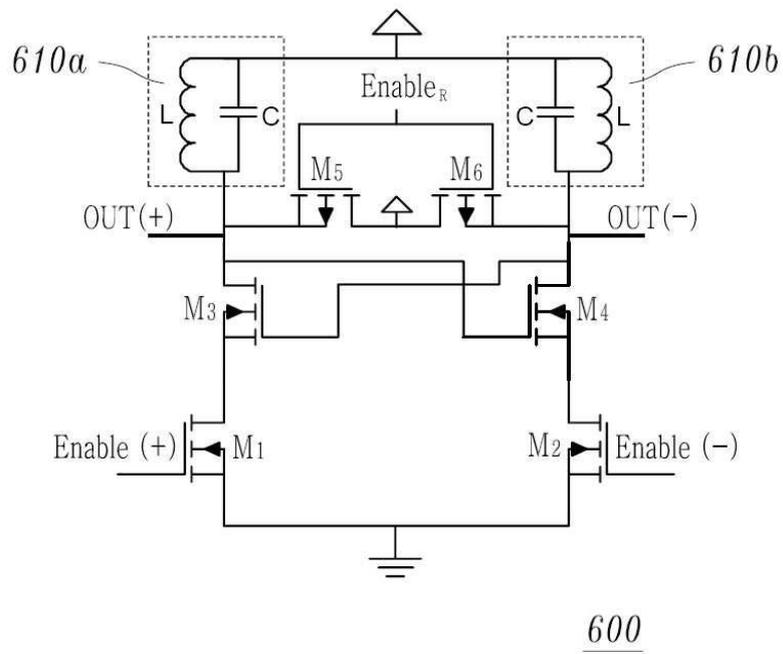
| OSC _{400a} , OSC _{400b} | 0,0 | 0,1 | 1,0 | 1,1 |
|---|------|------|------|------|
| OUT(+) _{400a} | 0° | -90° | 90° | 180° |
| OUT(-) _{400a} | 180° | 90° | -90° | 0° |
| OUT(+) _{400b} | -90° | 180° | 0° | 90° |
| OUT(-) _{400b} | 90° | 0° | 180° | -90° |



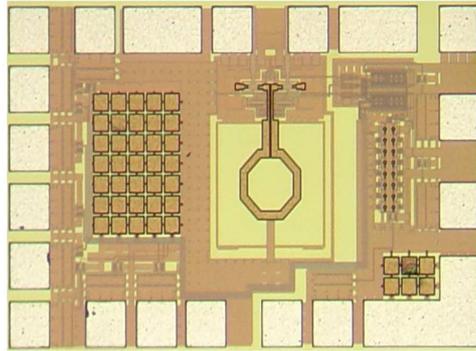
도면8



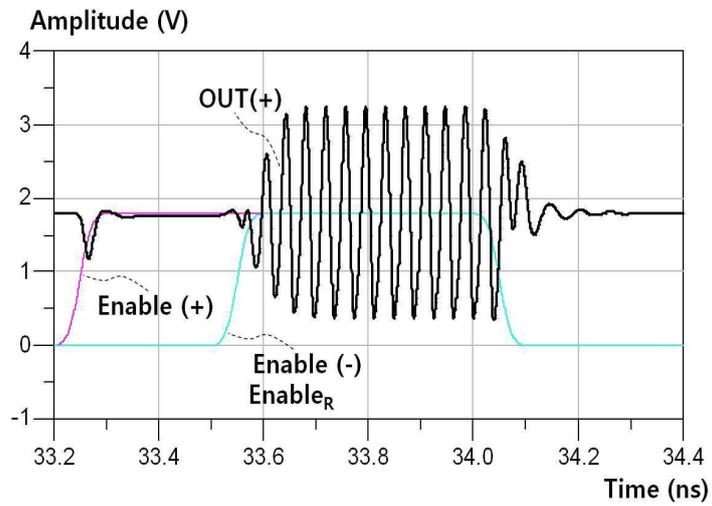
도면9



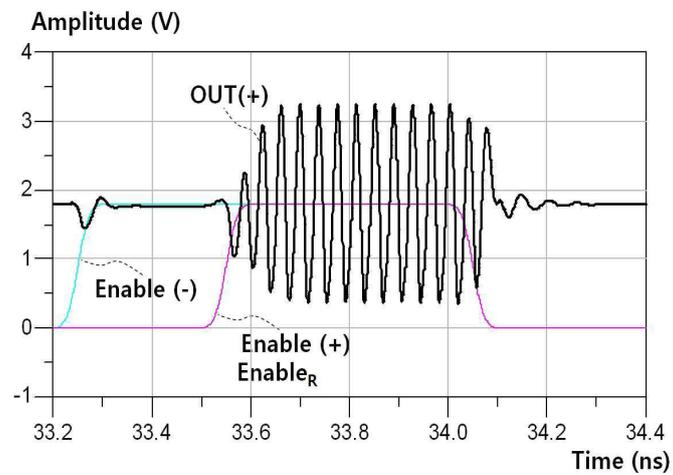
도면10



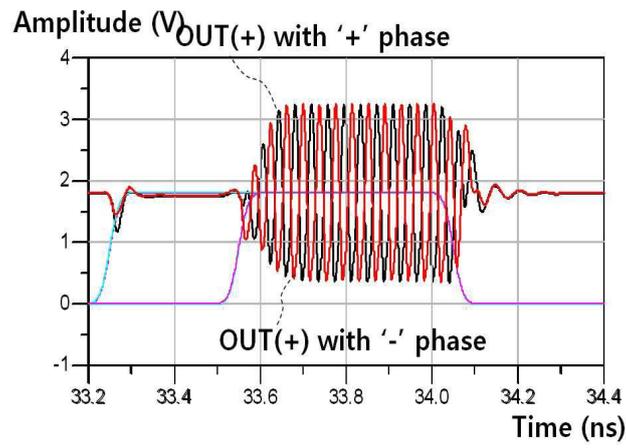
도면11



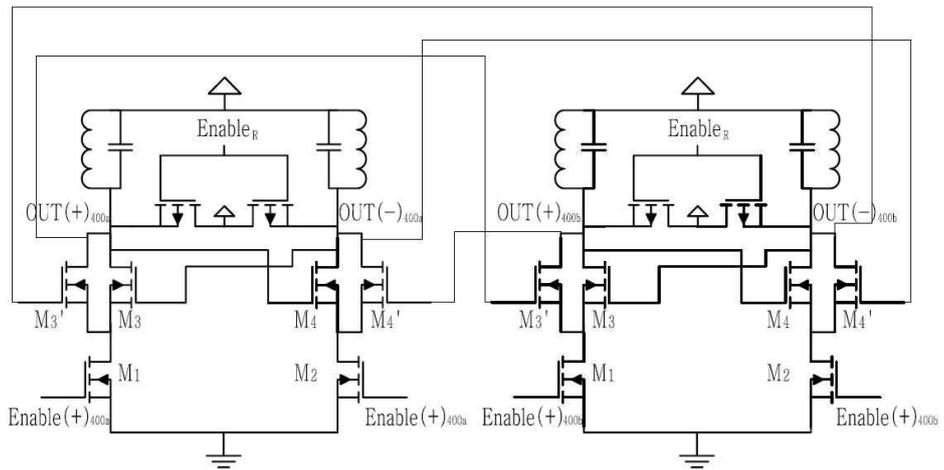
도면12



도면13



도면14



700

도면15

