



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년08월24일
 (11) 등록번호 10-1547022
 (24) 등록일자 2015년08월18일

(51) 국제특허분류(Int. Cl.)
 H01L 29/732 (2006.01) H01L 21/331 (2006.01)
 (21) 출원번호 10-2013-0125408
 (22) 출원일자 2013년10월21일
 심사청구일자 2013년10월21일
 (65) 공개번호 10-2015-0045754
 (43) 공개일자 2015년04월29일
 (56) 선행기술조사문헌
 JP06196684 A
 JP05243557 A
 JP2008016615 A

(73) 특허권자
 한국과학기술원
 대전광역시 유성구 대학로 291(구성동)
 (72) 발명자
 양경훈
 대전광역시 유성구 대학로 291 한국과학기술원
 이기원
 대전광역시 유성구 대학로 291 한국과학기술원
 이종원
 대전광역시 유성구 대학로 291 한국과학기술원
 (74) 대리인
 특허법인 무한

전체 청구항 수 : 총 4 항

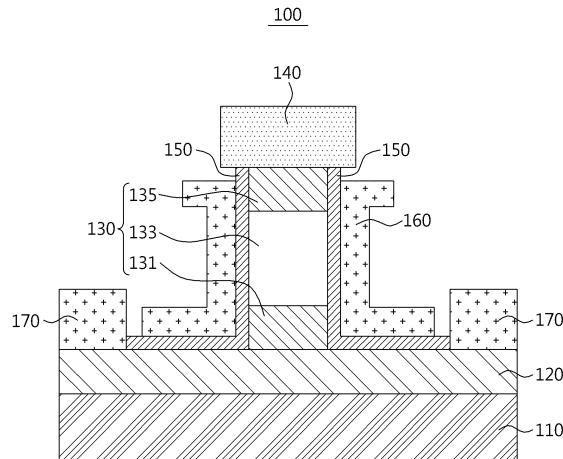
심사관 : 방인환

(54) 발명의 명칭 **채널 영역의 공핍 영역을 조절하는 공명 터널링 트랜지스터, 이의 제조 방법, 및 이를 포함하는 시스템**

(57) 요약

채널 영역의 공핍 영역을 조절하는 공명 터널링 트랜지스터, 이의 제조 방법, 및 이를 포함하는 시스템이 개시된다. 일 실시예에 따른 공명 터널링 트랜지스터는 상기 공명 터널링 트랜지스터의 전자를 생성하고, 상기 생성된 전자를 전송하는 채널 영역과, 상기 채널 영역의 공핍 영역을 조절하기 위한 가변 전극과, 상기 채널 영역과 상기 가변 전극 사이에 위치하는 절연층을 포함할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 2012-0009594
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 미래융합 파이오니어 사업
연구과제명 나노-상보형금속산화막 반도체 기술 기반의 플라즈마파 트랜지스터를 이용한 테라헤르츠
시스템 구현 기술 연구
기 여 율 1/1
주관기관 한국과학기술원
연구기간 2012.09.01 ~ 2014.02.28

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

공명 터널링 트랜지스터의 제조 방법에 있어서,

채널 영역을 형성하는 단계;

상기 채널 영역을 상기 공명 터널링 트랜지스터의 콜렉트 전극을 마스크로 사용하여 메사 식각하는 단계; 및
메사 식각된 채널 영역에 상기 채널 영역의 공핍 영역을 조절하기 위한 가변 전극을 형성하는 단계를 포함하는
공명 터널링 트랜지스터의 제조 방법.

청구항 5

제4항에 있어서,

상기 가변 전극을 형성하는 단계는,

상기 메사 식각된 채널 영역과 콜렉터 전극의 전면에 절연층을 형성하는 단계; 및

상기 절연층의 전면에 상기 가변 전극을 형성하는 단계를 포함하는 공명 터널링 트랜지스터의 제조 방법.

청구항 6

제5항에 있어서,

상기 가변 전극을 형성하는 단계는,

상기 메사 식각된 채널 영역에 대응하는 마스크층을 형성하는 단계를 더 포함하는 공명 터널링 트랜지스터의 제조 방법.

청구항 7

제6항에 있어서,

상기 가변 전극을 형성하는 단계는,

상기 마스크층에 의해 노출된 상기 가변 전극과 상기 절연층의 일정 영역을 식각하는 단계를 더 포함하는 공명 터널링 트랜지스터의 제조 방법.

청구항 8

삭제

청구항 9

삭제

명세서

기술분야

[0001] 아래 실시예들은 채널 영역의 공핍 영역을 조절하는 공명 터널링 트랜지스터, 이의 제조 방법, 및 이를 포함하는 시스템에 관한 것이다.

배경 기술

[0002] 최근 인터넷의 폭발적인 보급에 따라 단순한 문자나 그림과 같은 저용량 데이터의 전송을 넘어 동영상과 같은 고용량 데이터의 전송에 대한 수요가 증가하고 있다. 이에 따라, 초고속 광대역 통신(high-speed wideband communication)에 대해 전세계적으로 연구가 활발하다. 예를 들어, 정보 서비스의 수요증가로 인해서 보다 많은 대역폭이 요구되어서 300GHz 이상의 Sub-THz 대역을 사용하는 초고속 광대역 통신에 대한 연구가 진행되고 있다.

[0003] 이와 같은, 초고속 광대역 통신을 구축하기 위해서는 고주파 대역에서 동작하는 초고주파 반도체 소자의 개발과 소자의 소형화, 고성능화가 매우 중요하다. 이에 따라, 초고속 동작이 가능한 반도체 소자의 연구들이 동시에 진행되고 있다. 공명 터널링 다이오드(resonant tunneling diode)는 초고속 동작이 가능한 차세대 반도체 소자로 주목 받고 있다.

[0004] 공명 터널링 다이오드 내의 전자가 양자 영학의 터널링 현상을 통해 전송되기 때문에, 상기 공명 터널링 다이오드의 동작 속도는 빠르다. 또한, 상기 공명 터널링 다이오드가 기존의 반도체 소자의 동작 전압 보다 낮은 동작 전압에서 동작하므로 상기 공명 터널링 다이오드의 전력 소모는 낮다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 공명 터널링 다이오드의 채널 영역에 가변 전극을 형성한 공명 터널링 트랜지스터 제조 기술을 제공할 수 있다.

[0006] 실시예들은 상기 공핍 영역을 제어함으로써 상기 공명 터널링 트랜지스터의 채널 영역에서 전송되는 전류를 제어하는 기술을 제공할 수 있다.

과제의 해결 수단

[0007] 일 실시 예에 따른 공명 터널링 트랜지스터는 상기 공명 터널링 트랜지스터의 전자를 생성하고, 상기 생성된 전자를 전송하는 채널 영역과, 상기 채널 영역의 공핍 영역을 조절하기 위한 가변 전극과, 상기 채널 영역과 상기 가변 전극 사이에 위치하는 절연층을 포함할 수 있다.

[0008] 상기 가변 전극과 상기 절연층은 상기 채널 영역의 메사 식각된 영역에 형성될 수 있다.

[0009] 상기 절연층은 BCB, 폴리이미드, SiO₂, SiN_x, 또는 Al₂O₃로 형성될 수 있다.

[0010] 일 실시 예에 따른 공명 터널링 트랜지스터의 제조 방법은 채널 영역을 형성하는 단계와, 상기 채널 영역을 메사 식각하는 단계와, 메사 식각된 채널 영역에 상기 채널 영역의 공핍 영역을 조절하기 위한 가변 전극을 형성하는 단계를 포함할 수 있다.

[0011] 상기 가변 전극을 형성하는 단계는 상기 메사 식각된 채널 영역과 콜렉터 전극의 전면에 절연층을 형성하는 단계와, 상기 절연층의 전면에 상기 가변 전극을 형성하는 단계를 포함할 수 있다.

[0012] 상기 가변 전극을 형성하는 단계는 상기 메사 식각된 채널 영역에 대응하는 마스크층을 형성하는 단계를 더 포함할 수 있다.

[0013] 상기 가변 전극을 형성하는 단계는 상기 마스크층에 의해 노출된 상기 가변 전극과 상기 절연층의 일정 영역을

식각하는 단계를 더 포함할 수 있다.

[0014] 상기 메사 식각하는 단계는 상기 채널 영역을 공명 터널링 트랜지스터의 콜렉트 전극을 마스크로 사용하여 메사 식각하는 단계를 포함할 수 있다.

[0015] 다른 실시예에 따른 공명 터널링 트랜지스터는 상기 공명 터널링 트랜지스터의 전자를 생성하고, 상기 생성된 전자를 전송하며, 상향식 성장(bottom-up growth)을 통해 형성되는 채널 영역과, 상기 채널 영역의 공핍 영역을 조절하기 위한 가변 전극과, 상기 채널 영역과 상기 가변 전극 사이에 위치하는 절연층을 포함할 수 있다.

도면의 간단한 설명

[0016] 도 1은 일 실시예에 따른 공명 터널링 트랜지스터를 설명하기 위한 단면도를 나타낸다.

도 2는 도 1에 도시된 양자층의 일 실시예를 설명하기 위한 단면도를 나타낸다.

도 3은 도 1에 도시된 양자층의 다른 실시 예를 설명하기 위한 단면도를 나타낸다.

도 4 a 및 도 4b는 가변 전극으로 입력되는 전압에 따라 채널 영역의 공핍 영역이 조절 되는 동작을 설명하기 위한 도면이다.

도 5a 내지 도5e는 도 1에 도시된 공명 터널링 트랜지스터를 제조하는 방법을 설명하기 위한 도면이다.

도 6은 도 1에 도시된 공명 터널링 트랜지스터의 가변 전극에 입력되는 전압에 따른 전류-전압 변화에 대한 그래프이다.

도 7은 도 1에 도시된 공명 터널링 트랜지스터의 가변 전극에 입력되는 전압에 따른 전류 변화에 대한 그래프이다.

도 8은 도 1에 도시된 공명 터널링 트랜지스터의 제조 방법을 설명하기 위한 플로우 차트이다.

도 9는 도 1에 도시된 공명 터널링 트랜지스터를 포함하는 전자 시스템의 일 실시예를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0018] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0019] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0020] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "사이에"와 "바로~사이에" 또는 "~에 이웃하는"과 "에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0021] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0022] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0023] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.
- [0024] 도 1은 일 실시예에 따른 공명 터널링 트랜지스터를 설명하기 위한 단면도를 나타낸다.
- [0025] 도 1을 참조하면, 공명 터널링 트랜지스터(100)는 기판(substrate; 110), 이미터 접촉층(emitter contact layer; 120), 채널 영역(channel region; 130), 콜렉터 전극(collector electrode; 140), 절연층(dielectric layer; 150), 가변 전극(variable electrode; 160), 및 이미터 전극(emitter electrode; 170)을 포함할 수 있다. 일 실시예에 따라, 공명 터널링 트랜지스터(100)는 소자 보호 영역(device protection region; 미도시)을 더 포함할 수 있다.
- [0026] 이미터 접촉층(120)은 기판(110) 위에 형성될 수 있다. 예를 들어, 이미터 접촉층(120)은 이미터 전극(170)과의 접촉을 위해 기판(110)과 이미터 전극(170) 사이에 형성될 수 있다. 일 실시예에 따라, 기판(110)은 InP(indium phosphide)로 구현되고, 이미터 접촉층(120)은 n형 InGaAs(indium gallium arsenide)로 구현될 수 있다.
- [0027] 채널 영역(130)은 이미터 접촉층(120) 위에 형성될 수 있다. 채널 영역(130)은 공명 터널링 트랜지스터(100)의 전자를 생성하고, 생성된 전자를 전송할 수 있다. 예를 들어, 채널 영역(130)은 공명 터널링 트랜지스터(100)의 전자를 생성하고, 생성된 전자를 콜렉터 전극(140)으로 전송할 수 있다.
- [0028] 채널 영역(130)은 메사 식각(mesa etching)을 수행하여 형성될 수 있다. 예를 들어, 채널 영역(130)은 마스크로 콜렉터 전극(140)을 이용한 메사 식각을 수행하여 형성될 수 있다. 또 다른 실시예에 따라, 채널 영역(130)은 상향식 성장(bottom-up growth)을 통해 형성될 수 있다.
- [0029] 채널 영역(130)은 이미터층(emitter layer; 131), 양자층(quantum layer; 133), 및 콜렉터층(collector layer; 135)을 포함할 수 있다.
- [0030] 이미터층(131)은 전자를 방출할 수 있다. 일 실시예에 따라, 이미터층(131)은 n형 InGaAs로 구현될 수 있다.
- [0031] 양자층(133)은 이미터층(131)으로부터 생성된 전자가 전자 파동 성질에 의해 다음 층으로 비의도적인 전자 침투를 할 수 없도록 막을 수 있다. 또한, 양자층(133)은 이미터층(131)으로부터 생성된 전자를 공명 터널링 현상을 통해 콜렉터층(135)으로 전송할 수 있다.
- [0032] 공명 터널링 트랜지스터(100)는 양자층(133)을 통해 고유의 부정 미분 저항(Negative Differential Resistance(NDR)) 특성을 가질 수 있다.
- [0033] 도 2는 도 1에 도시된 양자층의 일 실시예를 설명하기 위한 단면도를 나타낸다.
- [0034] 도 1 및 도 2를 참조하면, 양자층(133A)은 이미터층(131)과 콜렉터층(135) 사이에 형성될 수 있다. 도 2에 도시된 양자층(133A)은 도 1에 도시된 양자층(133)의 일 실시예를 나타낸다.
- [0035] 양자층(133A)은 제1 버퍼층(buffer layer; 133-1), 이중 장벽층(double barriers; 133-3 및 133-7), 양자 우물층(quantum well layer; 133-5), 및 제2 버퍼층(133-9)을 포함할 수 있다.
- [0036] 제1 버퍼층(133-1)과 제2 버퍼층(133-9)은 이미터층(131)으로부터 생성된 전자가 전자 파동 성질에 의해 다음 층으로 비의도적인 전자 침투를 할 수 없도록 막을 수 있다. 일 실시예에 따라, 제1 버퍼층(133-1)과 제2 버퍼층(133-9)은 i형 InGaAs로 구현될 수 있다.
- [0037] 이중 장벽층(133-3 및 133-7)은 이미터층(131)으로부터 생성된 전자가 공명 터널링 현상을 통해서만 전송되도록 전자의 흐름을 막을 수 있다. 일 실시예에 따라, 이중 장벽층(133-3 및 133-7)은 i형 AlAs(aluminium

arsenide)로 구현될 수 있다.

- [0038] 양자 우물층(133-5)는 공명 터널링 트랜지스터(100) 내에 준 속박 상태(Quasi bound states)가 존재하도록 할 수 있다. 일 실시예에 따라, 양자 우물층(133-5)는 i형 InGaAs로 구현될 수 있다.
- [0039] 양자층(133A)이 하나의 이중 장벽층(133-3 및 133-7)과 하나의 양자 우물층(133-5)을 포함할 때, 공명 터널링 트랜지스터(100)는 하나의 부정 미분 저항(Negative Differential Resistance(NDR)) 특성을 가질 수 있다.
- [0040] 도 3은 도 1에 도시된 양자층의 다른 실시 예를 설명하기 위한 단면도를 나타낸다.
- [0041] 도 1 및 도 3을 참조하면, 양자층(133B)은 이미터층(131)과 콜렉터층(135) 사이에 형성될 수 있다. 도 3에 도시된 양자층(133B)은 도 1에 도시된 양자층(133)의 다른 실시예를 나타낸다.
- [0042] 양자층(133B)은 제1 버퍼층(133-1), 이중 장벽층(133-3 및 133-7), 양자 우물층(133-5), 및 제2 버퍼층(133-9)을 포함할 수 있다. 예를 들어, 이중 장벽층(133-3 및 133-7) 및 양자 우물층(133-5)는 N개(N은 2이상의 자연수)일 수 있다.
- [0043] 도 3의 제1 버퍼층(133-1), 이중 장벽층(133-3 및 133-7), 양자 우물층(133-5), 및 제2 버퍼층(133-9)의 구조와 동작은 도 2의 제1 버퍼층(133-1), 이중 장벽층(133-3 및 133-7), 양자 우물층(133-5), 및 제2 버퍼층(133-9)의 구조와 동작과 실질적으로 동일할 수 있다.
- [0044] 양자층(133B)이 N개의 이중 장벽층(133-3 및 133-7)과 N개의 양자 우물층(133-5)을 포함할 때, 공명 터널링 트랜지스터(100)는 N개의 NRD 특성을 가질 수 있다.
- [0045] 도 1 내지 도 3을 참조하면, 콜렉터층(135)은 양자층(133A 또는 133B, 총괄적으로 '133') 위에 형성될 수 있다. 예를 들어, 콜렉터층(135)은 콜렉터 전극(140)과의 접촉을 위해 양자층(133)과 콜렉터 전극(140) 사이에 형성될 수 있다. 일 실시예에 따라, 콜렉터층(135)은 n형 InGaAs로 구현될 수 있다.
- [0046] 콜렉터 전극(140)은 채널 영역(130)으로부터 전송되는 전자를 수집할 수 있다. 콜렉터 전극(140)은 콜렉터층(135)에 옴릭 접촉(Ohmic Contact, 또는 옴릭 접합(Ohmic Junction))을 형성할 수 있다.
- [0047] 절연층(150)은 채널 영역(130)으로부터 전송되는 전자(또는 전류)가 가변 전극(160)으로 누출되는 현상을 막을 수 있다. 절연층(150)은 메사 식각된 채널 영역(130)과 가변 전극(160) 사이에 형성될 수 있다. 예를 들어, 절연층(150)은 마스크층을 통해 메사 식각된 채널 영역(130)에 대응되도록 식각될 수 있다.
- [0048] 일 실시 예에 따라, 절연층(150)은 BCB(benzocyclobutene), 폴리아미드(polyamide), SiO₂(silicon dioxide), SiNx(silicon nitride), 또는 Al₂O₃(aluminium oxide)로 구현될 수 있다.
- [0049] 가변 전극(160)은 채널 영역(130)의 공핍 영역(depletion region)을 조절할 수 있다. 예를 들어, 가변 전극(160)은 외부로부터 입력되는 전압에 응답하여 채널 영역(130)의 공핍 영역을 조절할 수 있다. 또한, 가변 전극(160)은 마스크층을 통해 메사 식각된 채널 영역(130)에 대응되도록 식각될 수 있다. 가변 전극(160)이 채널 영역(130)의 공핍 영역을 조절하는 동작은 도 4a 및 도 4b를 참조하여 상세히 설명될 것이다.
- [0050] 이미터 전극(170)은 공명 터널링 트랜지스터(100)의 접지(ground)를 위해 이미터 접촉층(120) 위에 형성될 수 있다.
- [0051] 소자 보호 영역은 각 전극(140, 160, 및 170) 위에 형성되어 각 전극(140, 160, 및 170)을 보호할 수 있다. 일 실시예에 따라, 소자 보호 영역은 BCB(benzocyclobutene), 폴리아미드(polyamide), SiO₂(silicon dioxide), 또는 SiNx(silicon nitride)로 구현될 수 있다.
- [0052] 도 4 a 및 도 4b는 가변 전극으로 입력되는 전압에 따라 채널 영역의 공핍 영역이 조절 되는 동작을 설명하기 위한 도면이다.
- [0053] 도 4a를 참조하면, 외부로부터 전압이 가변 전극(160)에 입력될 때, 공핍 영역(180)은 채널 영역(130)에 생성될 수 있다. 예를 들어, 상기 전압은 낮은 역방향 전압일 수 있다.
- [0054] 도 4b를 참조하면, 외부로부터 전압이 가변 전극(160)에 입력될 때, 공핍 영역(180)은 채널 영역(130)에 생성될

수 있다. 예를 들어, 상기 전압은 높은 역방향 전압일 수 있다.

- [0055] 도 4a 및 도 4b에 도시된 바와 같이, 가변 전극(160)은 외부로부터 입력되는 전압에 따라 채널 영역(130)의 공핍 영역(180)을 조절할 수 있다. 따라서, 공명 터널링 트랜지스터(100)는 가변 전극(160)으로 입력되는 전압에 따라 채널 영역(130)에 흐르는 전자(또는 전류)의 흐름을 조절할 수 있다.
- [0056] 도 5a 내지 도 5e는 도 1에 도시된 공명 터널링 트랜지스터를 제조하는 방법을 설명하기 위한 도면이다.
- [0057] 도 1에 도시된 공명 터널링 트랜지스터(100)는 도 5a 내지 도 5e에 도시된 공정 흐름에 따라 제조될 수 있다.
- [0058] 도 5a를 참조하면, 각 층(110, 120, 131, 133, 135, 및 140)은 순차적으로 형성(또는 적층)될 수 있다. 보다 구체적으로, 이미터 접촉층(120)은 기판(110)위에 형성되고, 이미터층(131)은 이미터 접촉층(120) 위에 형성되고, 양자층(133)은 이미터층(131) 위에 형성되고, 콜렉터층(135)은 양자층(133) 위에 형성되고, 콜렉터 전극(140)은 콜렉터층(135) 위에 형성될 수 있다.
- [0059] 도 5b를 참조하면, 순차적으로 각 층(110, 120, 131, 133, 135, 및 140)이 형성된 이후에, 채널 영역(130)은 메사 식각 방법을 통해 식각될 수 있다. 예를 들어, 채널 영역(130)은 콜렉터 전극(140)을 마스크로 이용하여 메사 식각 방법을 통해 식각될 수 있다.
- [0060] 일 실시예에 따라, 메사 식각된 채널 영역(130)은 건식 식각을 수행하여 식각될 수 있다. 다른 실시예에 따라, 메사 식각된 채널 영역(130)은 습식 식각을 수행하여 식각될 수 있다. 또 다른 실시예에 따라, 메사 식각된 채널 영역(130)은 1차 건식 식각을 수행하고, 상기 1차 건식 식각으로 인한 표면 손상을 완화하기 위한 2차 건식 식각(예를 들어, 원자층 식각(atomic layer etching))을 수행하여 식각될 수 있다. 또 다른 실시예에 따라, 메사 식각된 채널 영역(130)은 1차 건식 식각을 수행하고, 상기 1차 건식 식각으로 인한 표면 손상을 완화하기 위한 2차 습식 식각을 수행하여 식각될 수 있다. 또 다른 실시예에 따라, 메사 식각된 채널 영역(130)은 1차 습식 식각을 수행하고, 상기 1차 습식 식각으로 인한 표면 손상을 더욱 완화하기 위한 2차 건식 식각(예를 들어, 원자층 식각)을 수행하여 식각될 수 있다.
- [0061] 도 5a와 도 5b에서는 설명의 편의를 위해 채널 영역(130)이 메사 식각을 통해 형성되는 것을 도시하고 있지만, 실시예에 따라 채널 영역(130)은 상향식 성장(bottom-up growth)을 통해 형성될 수 있다. 본 발명의 범위는 채널 영역(130)의 형성 방법에 한정되지 않는다.
- [0062] 도 5c를 참조하면, 각 층(150 및 160)은 순차적으로 메사 식각된 채널 영역(130)과 콜렉터 전극(140)의 전면에 형성(또는 적층)될 수 있다. 예를 들어, 절연층(150)은 메사 식각된 채널 영역(130)과 콜렉터 전극(140)의 전면에 형성될 수 있다. 가변 전극(160)은 절연층(150)의 전면에 형성될 수 있다. 일 실시예에 따라, 가변 전극(160)은 스퍼터(sputter) 등의 전극 증착 장비를 이용하여 절연층(150)의 전면에 형성될 수 있다. 다른 실시예에 따라, 가변 전극(160)은 각도 조절이 가능한 증발기(evaporator)를 이용하여 절연층(150)의 전면에 형성될 수 있다.
- [0063] 마스크층(185)은 절연층(150)과 가변 전극(160)의 일정 영역을 식각하기 위해 메사 식각된 채널 영역(130)에 대응하도록 형성될 수 있다. 예를 들어, 상기 일정 영역은 마스크층(185)에 의해 노출되는 특정 영역일 수 있다.
- [0064] 도 5d를 참조하면, 마스크층(185)에 의해 노출된 절연층(150)과 가변 전극(160)의 일정 영역은 식각될 수 있다. 일 실시예에 따라, 마스크층(185)에 의해 노출된 절연층(150)과 가변 전극(160)의 일정 영역은 건식 식각을 수행하여 식각될 수 있다. 다른 실시예에 따라, 마스크층(185)에 의해 노출된 절연층(150)과 가변 전극(160)의 일정 영역은 습식 식각을 수행하여 식각될 수 있다. 또 다른 실시예에 따라, 마스크층(185)에 의해 노출된 절연층(150)과 가변 전극(160)의 일정 영역은 1차 건식 식각을 수행하고, 상기 1차 건식 식각으로 인한 표면 손상을 완화하기 위한 2차 건식 식각(예를 들어, 원자층 식각)을 수행하여 식각될 수 있다. 또 다른 실시예에 따라, 마스크층(185)에 의해 노출된 절연층(150)과 가변 전극(160)의 일정 영역은 1차 건식 식각을 수행하고, 상기 1차 건식 식각으로 인한 표면 손상을 완화하기 위한 2차 습식 식각을 수행하여 식각될 수 있다. 또 다른 실시예에 따라, 마스크층(185)에 의해 노출된 절연층(150)과 가변 전극(160)의 일정 영역은 1차 습식 식각을 수행하고, 상기 1차 습식 식각으로 인한 표면 손상을 완화하기 위한 2차 건식 식각을 수행하여 식각될 수 있다.
- [0065] 도 5e를 참조하면, 마스크층(185)이 제거된 후에, 이미터 전극(170)은 이미터 접촉층(120) 위에 형성(또는 증착)될 수 있다.

- [0066] 도 5a 내지 도 5e에서는 도시하지 않았지만, 소자 보호 영역은 각 전극(140, 160, 및 170)을 보호하기 위해 각 전극(140, 160 및 170) 위에 형성될 수 있다. 또한, 공명 터널링 트랜지스터(100)가 외부와의 접속(또는 연결)이 용이하도록, 각 패드는 대응하는 각 전극(150, 160, 및 170)의 표면에 부착될 수 있다.
- [0067] 도 6은 도 1에 도시된 공명 터널링 트랜지스터의 가변 전극에 입력되는 전압에 따른 전류-전압 변화에 대한 그래프이다.
- [0068] 도 6을 참조하면, 가변 전극(160)에 입력되는 전압(V_G)이 순방향 전압인 경우(예를 들어, $V_G=0V$), 채널 영역(130) 내에 형성되는 공핍 영역(180)이 감소하여 콜렉터 전극(150)으로 전송되는 전류는 증가할 수 있다.
- [0069] 가변 전극(160)에 입력되는 전압(V_G)이 낮은 역방향 전압인 경우(예를 들어, $V_G<0V$), 채널 영역(130) 내에 형성되는 공핍 영역(180)이 증가하여 콜렉터 전극(150)으로 전송되는 전류는 감소할 수 있다.
- [0070] 가변 전극(160)에 입력되는 전압(V_G)이 높은 역방향 전압인 경우(예를 들어, $V_G\ll 0V$), 채널 영역(130) 내에 형성되는 공핍 영역(180)이 더욱 증가하여 콜렉터 전극(150)으로 전송되는 전류는 더욱 감소할 수 있다.
- [0071] 즉, 가변 전극(160)에 입력되는 전압(V_G)이 역방향(예를 들어, 마이너스(-))으로 증가할수록, 채널 영역(130)의 공핍 영역(180)이 증가하여 콜렉터 전극(150)으로 전송되는 전류는 감소할 수 있다.
- [0072] 도 7은 도 1에 도시된 공명 터널링 트랜지스터의 가변 전극에 입력되는 전압에 따른 전류 변화에 대한 그래프이다.
- [0073] 도 7에서는 설명의 편의를 위해 콜렉터 전극(140)의 전압을 0.75V로 가정하였다.
- [0074] 도 7을 참조하면, 가변 전극(160)에 입력되는 전압(V_G)은 순방향 전압(예를 들어, 플러스(+) 전압)부터 역방향 전압(예를 들어, 마이너스(-) 전압)까지 다양할 수 있다.
- [0075] 도 6을 참조하여 상술한 바와 같이 가변 전극(160)에 입력되는 전압(V_G)이 역방향(예를 들어, 마이너스(-))으로 증가할수록, 채널 영역(130)의 공핍 영역(180)이 증가하여 콜렉터 전극(150)으로 전송되는 전류는 감소할 수 있다.
- [0076] 또한, 가변 전극(160)에 입력되는 전압(V_G)이 큰 역방향 전압인 경우, 채널 영역(130)이 충분히 공핍되어 전류가 콜렉터 전극(150)으로 전송되지 않을 수 있다.
- [0077] 도 8은 도 1에 도시된 공명 터널링 트랜지스터의 제조 방법을 설명하기 위한 플로우 차트이다.
- [0078] 도 1 내지 도 8을 참조하면, 채널 영역(130)은 형성될 수 있다(210). 예를 들어, 각 층(110, 120, 131, 133, 135, 및 140)은 순차적으로 형성될 수 있다.
- [0079] 채널 영역(130)은 메사 식각 방법을 통해 식각될 수 있다(220). 예를 들어, 채널 영역(130)은 콜렉터 전극(140)을 마스크로 이용하여 메사 식각 방법을 통해 식각될 수 있다.
- [0080] 절연층(150)은 메사 식각된 채널 영역(130)과 콜렉터 전극(140)의 전면에 형성될 수 있다(230). 가변 전극(160)은 절연층(150)의 전면에 형성될 수 있다(240).
- [0081] 마스크층(185)은 절연층(150)과 가변 전극(160)의 일정 영역을 식각하기 위해 메사 식각된 채널 영역(130)에 대응하도록 형성될 수 있다(250). 예를 들어, 상기 일정 영역은 마스크층(185)에 의해 노출되는 특정 영역일 수 있다.
- [0082] 마스크층(185)에 의해 노출된 절연층(150)과 가변 전극(160)의 일정 영역은 식각될 수 있다(260).
- [0083] 마스크층(185)이 제거된 후에, 이미터 전극(170)은 이미터 접촉층(120) 위에 형성될 수 있다(270).

- [0084] 도 9는 도 1에 도시된 공명 터널링 트랜지스터를 포함하는 전자 시스템의 일 실시예를 나타낸다.
- [0085] 도 9를 참조하면, 전자 시스템(300)은 발진기 회로(oscillator circuit)일 수 있다. 또한, 전자 시스템(300)은 PC(personal computer), 데이터 서버, 또는 휴대용 전자 장치로 구현될 수 있다.
- [0086] 상기 휴대용 전자 장치는 랩탑(laptop) 컴퓨터, 이동 전화기, 스마트 폰(smart phone), 태블릿(tablet) PC, 모바일 인터넷 디바이스(mobile internet device(MID)), PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player), PND(personal navigation device 또는 portable navigation device), 휴대용 게임 콘솔(handheld game console), 또는 e-북(e-book)으로 구현될 수 있다.
- [0087] 전자 시스템(300)은 공명 터널링 트랜지스터(100), 제어 회로(control circuit; 310), 및 전압 생성 회로(voltage generator; 330)를 포함할 수 있다.
- [0088] 제어 회로(310)는 전자 시스템(300)의 전반적인 동작을 제어할 수 있다. 예를 들어, 제어 회로(310)는 각 구성 요소(100 및 330)의 동작을 제어할 수 있다.
- [0089] 제어 회로(310)는 제어 신호를 생성하고, 생성된 제어 신호를 전압 생성 회로(330)로 전송할 수 있다.
- [0090] 전압 생성 회로(330)는 제어 회로(310)의 제어에 따라, 전압을 생성하고, 생성된 전압을 공명 터널링 트랜지스터(100)에 제공할 수 있다. 예를 들어, 전압 생성 회로(330)는 제어 회로(310)로부터 생성된 제어 신호에 응답하여 전압을 생성하고, 생성된 전압을 공명 터널링 트랜지스터(100)로 전송할 수 있다.
- [0091] 공명 터널링 트랜지스터(100)는 전압 생성 회로(330)로부터 생성된 전압에 따라 공명 터널링 트랜지스터(100)의 전류를 제어(또는 조절)할 수 있다.
- [0092] 공명 터널링 트랜지스터(100)가 전압 생성 회로(330)로부터 생성된 전압에 따라 공명 터널링 트랜지스터(100) 내의 전류를 제어함으로써, 전자 시스템(300)은 공명 터널링 트랜지스터(100) 내의 전류를 제어하기 위한 별도의 트랜지스터가 필요 없을 수 있다.
- [0093] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0094] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0095] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판

독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0096]

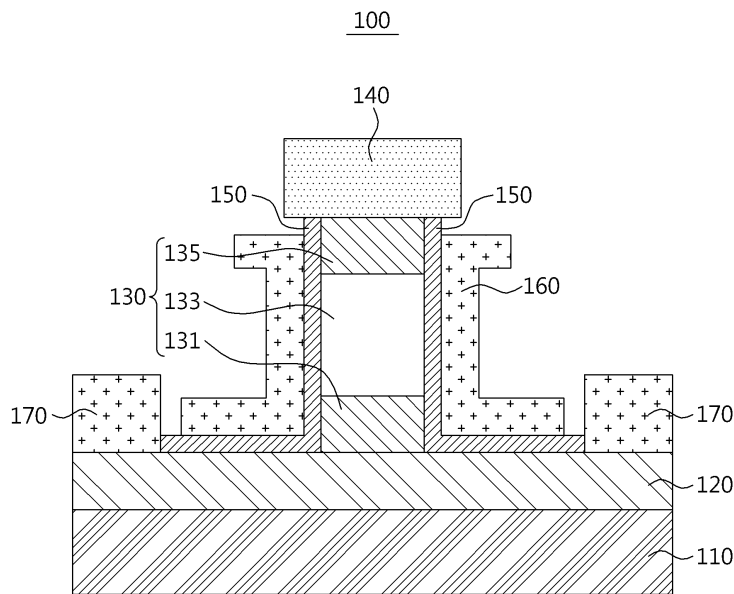
이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0097]

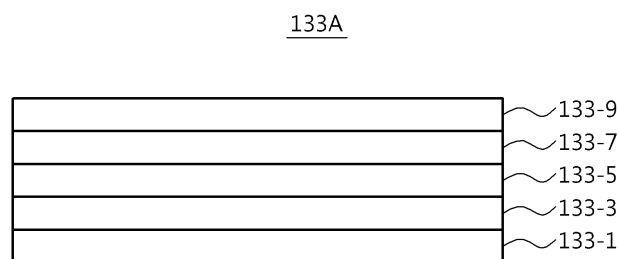
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1

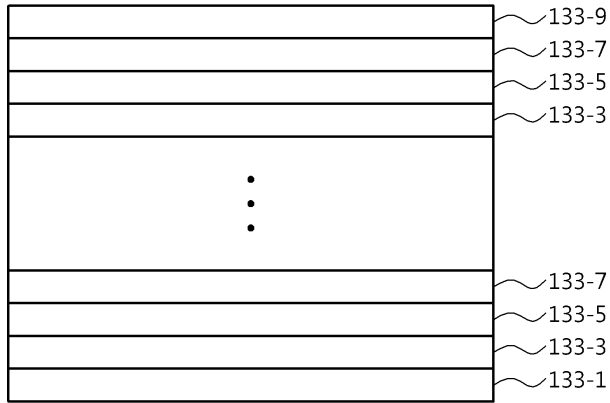


도면2

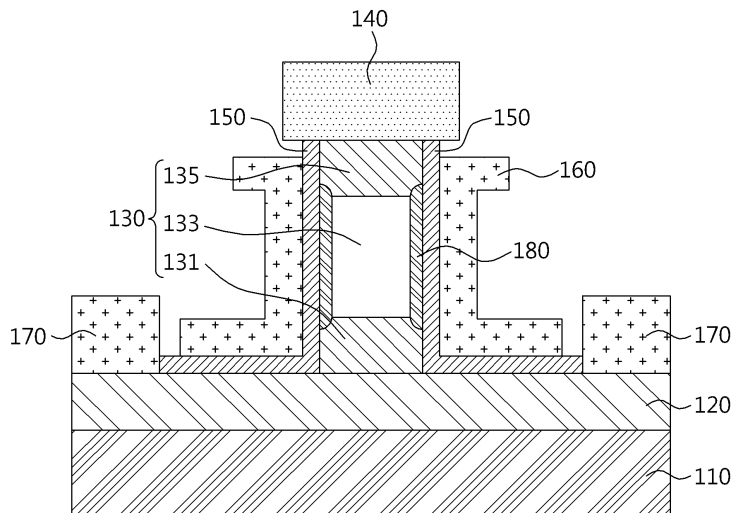


도면3

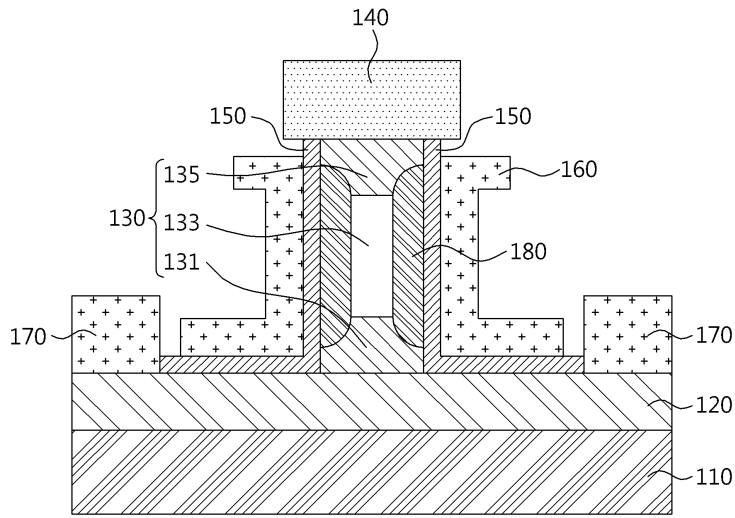
133B



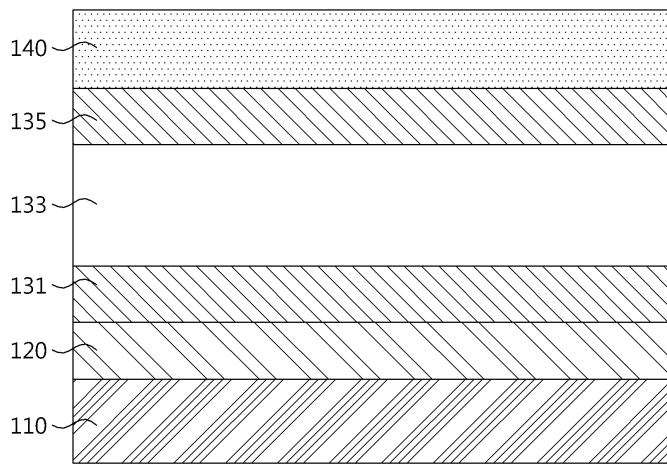
도면4a



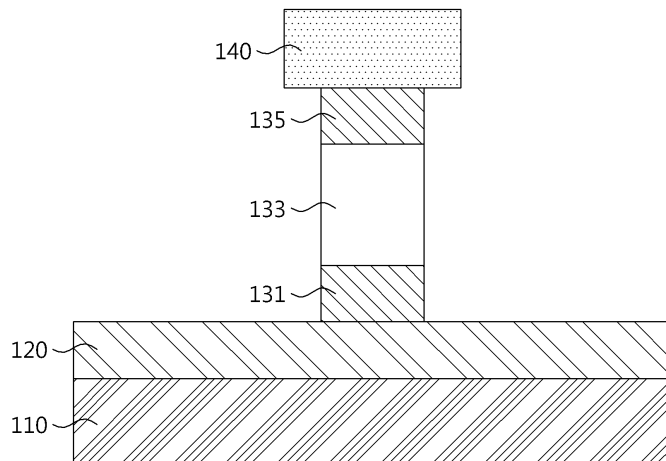
도면4b



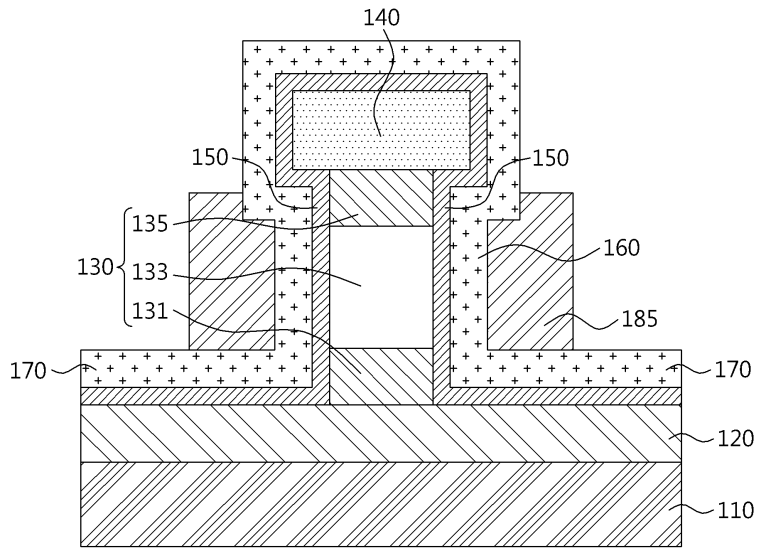
도면5a



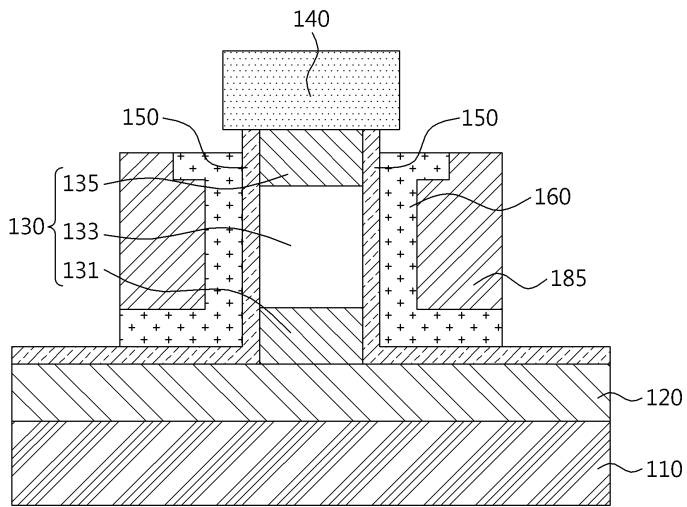
도면5b



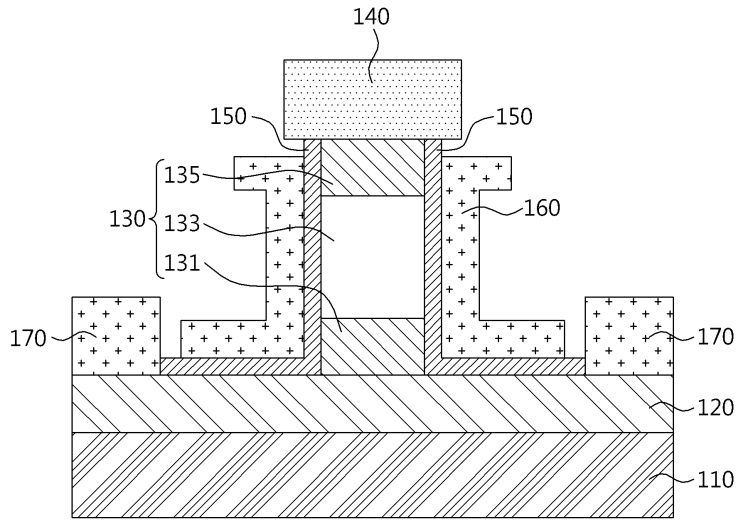
도면5c



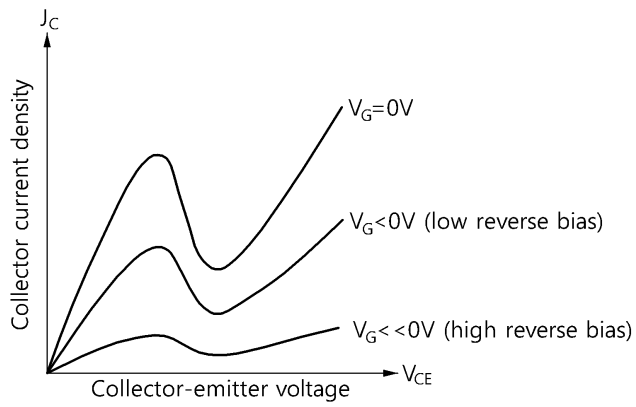
도면5d



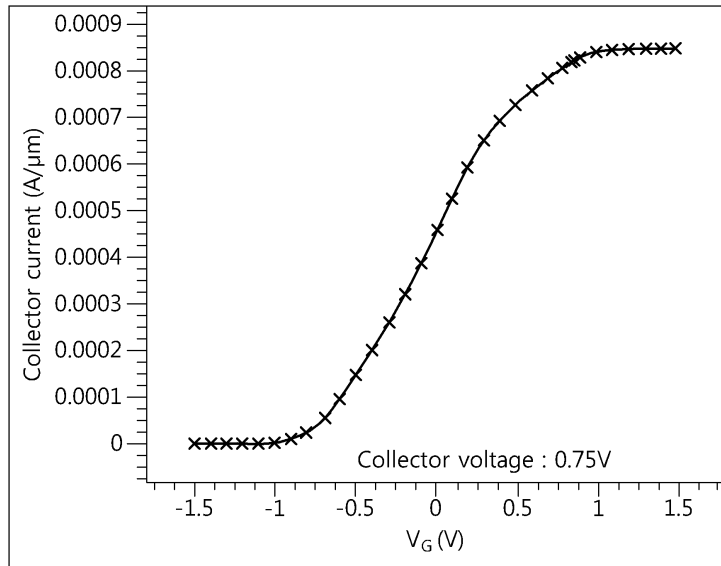
도면5e



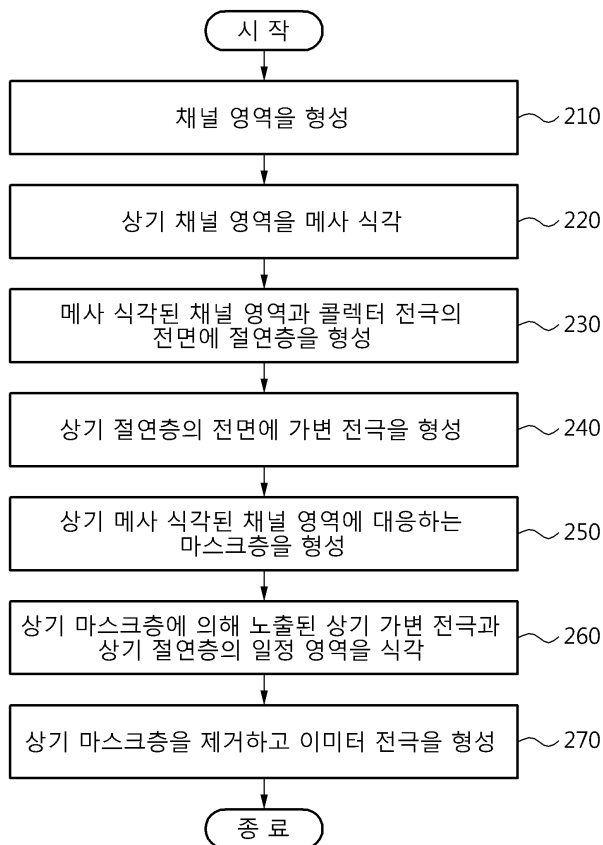
도면6



도면7



도면8



도면9

