



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월23일
(11) 등록번호 10-1288197
(24) 등록일자 2013년07월15일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2011-0100186
(22) 출원일자 2011년09월30일
심사청구일자 2011년09월30일
(65) 공개번호 10-2013-0035704
(43) 공개일자 2013년04월09일
(56) 선행기술조사문헌
KR100965837 B1*
JP2006041135 A
US6726510 B2
US7427526 B2
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
(72) 발명자
이건재
대전광역시 유성구 엑스포로123번길 65-38, 203동
402호 (도룡동, 스마트시티)
황건태
대전광역시 유성구 구성동 한국과학기술원 희망관
905호
(74) 대리인
특허법인 다해

전체 청구항 수 : 총 10 항

심사관 : 김정진

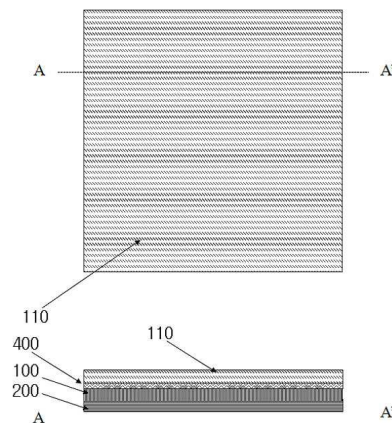
(54) 발명의 명칭 **플렉서블 VLSI 소자 제조방법 및 이에 의하여 제조된 플렉서블 VLSI 소자**

(57) 요약

플렉서블 VLSI 소자 제조방법 및 이에 의하여 제조된 플렉서블 VLSI 소자가 제공된다.

본 발명에 따른 플렉서블 VLSI 소자 제조방법은 순차적으로 적층된 하부 실리콘층, 절연층 및 상부 실리콘층으로 이루어진 SOI(Silicon-On-Insulator)의 상부 실리콘층 상에 VLSI소자를 제조하는 단계; 상기 SOI의 하부 실리콘층을 제거하는 단계; 및 상기 VLSI 소자를 플렉서블 기판에 전사시키는 단계를 포함하는 것을 특징으로 하며, 본 발명에 따른 플렉서블 VLSI 소자 제조방법은 플렉서블 기판상에 우수한 정렬도를 갖는 대면적 소자를 경제적인 방식으로 제조할 수 있다. 또한 본 발명에 따라 제조된 플렉서블 VLSI 소자는 실리콘 기판 상에서 제조된 후 다시 플렉서블 기판에 접착되므로, 제조에 있어서의 공정 한계가 없으며, 소자의 우수한 정렬도를 플렉서블 기판에서도 그대로 유지할 수 있다.

대표도 - 도26



특허청구의 범위

청구항 1

순차적으로 적층된 하부 실리콘층, 절연층 및 상부 실리콘층으로 이루어진 SOI(Silicon-On-Insulator)의 상부 실리콘층 상에 VLSI소자를 제조하는 단계;

상기 상부 실리콘 층에 지지층을 접합시키는 단계;

상기 SOI의 하부 실리콘층을 제거하는 단계;

상기 지지층을 이용하여, 상기 VLSI 소자가 제조된 상부 실리콘층을 플렉서블 기판에 전사시키는 단계;

상기 VLSI 소자를 플렉서블 기판에 전사시키는 단계; 및

상기 플렉서블 기판 상에 패시베이션층을 적층하는 단계를 포함하며, 상기 패시베이션층의 적층에 의하여 상기 VLSI 소자는 상기 플렉서블 VLSI 소자의 증성역확층을 중심으로 전체 소자 두께의 +20% 내지 -20% 범위에 위치 되는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 상부 실리콘층과 지지층은 상기 상부 실리콘층 상에 도포된 접착층에 의하여 접착되는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법.

청구항 4

제 1항에 있어서,

상기 하부 실리콘층 제거는 실리콘 제거용 식각액에 상기 하부 실리콘층을 침지시키는 습식 식각 방식으로 수행 되는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법.

청구항 5

제 1항에 있어서, 상기 방법은,

상기 전사 후, 상기 지지층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법.

청구항 6

제 1항에 있어서,

상기 패시베이션층은 폴리머 또는 세라믹 물질로 이루어진 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법.

청구항 7

삭제

청구항 8

순차적으로 적층된 하부 실리콘층, 절연층 및 상부 실리콘층으로 이루어진 SOI(Silicon-On-Insulator)의 상부 실리콘층 상에 VLSI소자를 제조하는 단계;

상기 상부 실리콘층에 지지층을 접합시키는 단계;

상기 SOI의 하부 실리콘층을 제거하는 단계;

상기 VLSI 소자를 LCP 기판에 전사시키는 단계; 및

상기 전사된 VLSI 소자를 LCP 물질로 밀봉시키는 단계를 포함하는 플렉서블 VLSI 소자 제조방법으로,

상기 전사된 VLSI 소자는 상기 플렉서블 VLSI 소자의 중성역확충을 중심으로 전체 소자 두께의 +20% 내지 -20% 범위에 위치되는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법.

청구항 9

삭제

청구항 10

제 8항에 있어서,

상기 상부 실리콘층과 지지층은 상기 상부 실리콘층 상에 도포된 접착층에 의하여 접착되는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

제 8항 또는 제 10항 중 어느 한 항에 따라 제조된 플렉서블 VLSI 소자로서, LCP 내에 밀봉된 플렉서블 VLSI 소자를 포함하는 인공망막.

청구항 14

제 8항 또는 제 10항 중 어느 한 항에 따라 제조된 플렉서블 VLSI 소자를 포함하는 것을 특징으로 하는 플렉서블 디스플레이.

청구항 15

제 14항에 있어서,

상기 플렉서블 VLSI 소자는 상기 플렉서블 디스플레이의 드라이브 IC를 구성하는 것을 특징으로 하는 플렉서블 디스플레이.

명세서

기술분야

[0001] 본 발명은 플렉서블 VLSI 소자 제조방법 및 이에 의하여 제조된 플렉서블 VLSI 소자에 관한 것으로, 보다 상세하게는 플렉서블 기판상에서 우수한 정렬도를 갖는 대면적 소자를 경제적인 방식으로 제조할 수 있는 플렉서블 VLSI 소자 제조방법 및 이에 의하여 제조된 플렉서블 VLSI 소자에 관한 것이다.

배경기술

[0002] 초고밀도 집적회로(Very-large-scale integration; 이하 VLSI)는 IC(집적회로)·LSI(고밀도집적회로)로 발전되어 온 전자회로부품의 소형 경량화를 더욱 진전시킨 회로를 일반적으로 지칭한다.

[0003] 일반적인 VLSI는 실리콘 기판상에 경량화, 소형화시킨 트랜지스터, 커패시터와 같은 전자소자를 다수 개 제조하는 방식으로 제조된다. 특히 고온 또는 극심한 조건을 수반하는 반도체 공정에 의하여 소자가 제조되므로, 하부 기판 또한 실리콘 등과 같이 기판에서만 VLSI가 제조되었다.

[0004] 하지만, 실리콘 기판이 가지는 한계, 즉, 딱딱한 기판 특성 등에 의하여 VLSI의 응용범위는 고정된 기재로만 한정되는 문제가 있다.

[0005] 이와 달리, 다양한 생활환경 내에서 편리하게 사용가능한 플렉서블 전자소자에 대한 요구가 증가되고 있다. 이

에 따라서 플렉서블 VLSI 소자를 실현시키기 위하여 다방면에서 연구가 진행되고 있다. 이 중 하나는 인쇄 가능한 마이크로스트럭처 반도체 ($\mu s-Sc$)를 이용하는 것을, 2004년에 일리노이 공대에서 발명되었다. (Appl. Phys. Lett. 84, 5398, 2004, 종래기술 1)

[0006] 상기 종래기술 1은 소자 성능이 뛰어난 단결정 실리콘을 벌크 실리콘 기판으로부터 직접 뜯어낸 후 마이크로스트럭처 반도체 소프트 리소그래피를 이용, 플렉서블 기판에 이를 전사(transfer)시키는 기술이다. 단결정 마이크로스트럭처 반도체를 플라스틱 기판에 전사하여 만든 소자는 현재까지 존재하는 플렉서블 전자소자 중 가장 뛰어난 전기적 성능(유효 이동도 > 500cm²/V?s)을 보여주고 있다(IEEE Electron Device Lett., 27, 460, 2006).

[0007] 상기 종래기술 1을 보다 상세히 설명하며, 종래기술 1은 마이크로스트럭처 반도체를 아령모양으로 디자인하고, 그 하부면을 식각하여, 지지층을 만들어주고, 다시 요철모양의 PDMS 스탬프를 이용해 뜯어냄으로써 원하는 위치의 마이크로스트럭처 반도체만을 선택적으로 전사한다. 상기 종래 기술 1은 선택적 전사를 사용함으로써 플라스틱 기판의 원하는 위치에 소자를 만들 수 있을 뿐만 아니라, 전사 후 SOI기판에 전사되지 않고, 남아있는 마이크로스트럭처 반도체를 추후 필요한 곳에 전사하여 사용할 수 있으므로, 공정비 절감 또한 가능하다는 장점이 있다. 하지만 선택적 전사할 때 요철모양의 PDMS 스탬프를 사용하여 함으로써 PDMS의 고유특성으로 인해 요철(凹處)부분이 내려 앉는 새깅효과(Sagging effect)가 발생되어 원하지 않은 마이크로스트럭처 반도체까지 부착되어 함께 떨어져 나오는 문제점이 발생한다. 이뿐만이 아니라 전사 시 PDMS에서 수축이나 이완이 발생되어 실리콘 기판 위의 마이크로스트럭처 반도체와 PDMS 스탬프 사이에 정밀한 정렬이 힘들다는 단점 또한 존재한다. 더 나아가, 식각액의 침투가 제한되므로, 대면적의 소자를 제조하는 데에는 그 한계가 있다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명이 해결하려는 과제는 새로운 개념의 플렉서블 VLSI 소자 제조방법을 제공하는 것이다.

[0009] 본 발명이 해결하려는 또 다른 과제는 상기 제조방법에 의하여 제조된 플렉서블 VLSI 소자를 제공하는 것이다.

과제의 해결 수단

[0010] 상기 과제를 해결하기 위하여, 본 발명은 순차적으로 적층된 하부 실리콘층, 절연층 및 상부 실리콘층으로 이루어진 SOI(Silicon-On-Insulator)의 상부 실리콘층 상에 VLSI소자를 제조하는 단계; 상기 SOI의 하부 실리콘층을 제거하는 단계; 및 상기 VLSI 소자를 플렉서블 기판에 전사시키는 단계를 포함하는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법을 제공한다.

[0011] 본 발명의 또 다른 일 실시예에서 상기 방법은 상기 방법은 상기 상부 실리콘층에 지지층을 접합시키는 단계; 상기 하부 실리콘층을 제거하는 단계; 상기 지지층을 이용, 상기 VLSI 소자가 제조된 상부 실리콘층을 플렉서블 기판에 전사시키는 단계; 및 상기 플렉서블 기판상에 패시베이션층을 적층하는 단계를 더 포함하는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법을 제공한다.

[0012] 본 발명의 또 다른 일 실시예에서 상기 상부 실리콘층과 지지층은 상기 상부 실리콘층 상에 도포된 접착층에 의하여 접착되며, 상기 하부 실리콘층 제거는 실리콘 제거용 식각액에 상기 하부 실리콘층을 침지시키는 습식 식각 방식으로 수행된다.

[0013] 본 발명의 또 다른 일 실시예에서 상기 방법은 상기 전사 후, 상기 지지층을 제거하는 단계를 더 포함하며, 상기 패시베이션층은 폴리머 또는 세라믹 물질로 이루어진다.

[0014] 본 발명의 또 다른 일 실시예에서 상기 패시베이션층의 적층에 의하여 상기 VLSI 소자는 상기 플렉서블 VLSI 소자의 증성역확층을 중심으로 전체 소자 두께의 +20% 내지 -20% 범위에 위치된다.

[0015] 본 발명은 순차적으로 적층된 하부 실리콘층, 절연층 및 상부 실리콘층으로 이루어진 SOI(Silicon-On-Insulator)의 상부 실리콘층 상에 VLSI소자를 제조하는 단계; 상기 SOI의 하부 실리콘층을 제거하는 단계; 상기 VLSI 소자를 LCP 기판에 전사시키는 단계; 및 상기 전사된 VLSI 소자를 LCP 물질로 밀봉시키는 단계를 포함하는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법을 제공한다.

- [0016] 본 발명의 또 다른 일 실시예에서 상기 방법은 상기 상부 실리콘층에 지지층을 접합시키는 단계; 상기 하부 실리콘층을 제거하는 단계; 및 상기 지지층을 이용, 상기 소자가 제조된 상부 실리콘층을 LCP 기판에 전사시키는 단계를 더 포함하는 것을 특징으로 하는 플렉서블 VLSI 소자 제조방법을 제공한다.
- [0017] 본 발명의 또 다른 일 실시예에서 상기 상부 실리콘층과 지지층은 상기 상부 실리콘층 상에 도포된 접착층에 의하여 접착된다.
- [0018] 본 발명의 또 다른 일 실시예에서 상기 VLSI 소자는 상기 플렉서블 VLSI 소자의 중성역학층을 중심으로 전체 소자 두께의 +20% 내지 -20% 범위에 위치된다.
- [0019] 본 발명은 또한 LCP 내에 밀봉된 플렉서블 VLSI 소자를 포함하는 인공망막을 제공하며, 상기 플렉서블 VLSI 소자는 상술한 방법에 의하여 제조된다.
- [0020] 본 발명은 또한 상술한 방법에 의하여 제조된 플렉서블 VLSI 소자를 포함하는 것을 특징으로 하는 플렉서블 디스플레이를 제공하며, 상기 플렉서블 VLSI 소자는 상기 플렉서블 디스플레이의 드라이브 IC를 구성한다.

발명의 효과

- [0021] 본 발명에 따른 플렉서블 VLSI 소자 제조방법은 플렉서블 기판상에 우수한 정렬도를 갖는 대면적 소자를 경제적인 방식으로 제조할 수 있다. 또한 본 발명에 따라 제조된 플렉서블 VLSI 소자는 실리콘 기판 상에서 제조된 후 다시 플렉서블 기판에 접착되므로, 제조에 있어서의 공정 한계가 없으며, 소자의 우수한 정렬도를 플렉서블 기판에서도 그대로 유지할 수 있다.

도면의 간단한 설명

- [0022] 도 1 내지 6은 본 발명의 일 실시예에 따른 플렉서블 VLSI 소자 제조방법을 설명하는 도면이다.
- 도 7 내지 14는 본 발명의 또 다른 일 실시예에 따른 플렉서블 VLSI 소자 제조방법을 설명하는 도면이다.
- 도 15 내지 18은 동일한 방식으로 또 다른 단위 소자가 플라스틱 기판에 전사되는 방식을 설명한다. 동일한 방식으로 대면적으로 SOI 기판 상에 제조된 소자가 플라스틱 기판에 선택적으로 전사될 수 있다.
- 도 19는 플렉서블 기판에 전사된 소자 상에 패시베이션층(700)이 도포된 경우를 설명하는 도면이다.
- 도 20 및 21은 각각 전사 전 SOI기판 상에 제조된소자, 전사 후의 소자의 사진이다.
- 도 22 및 23은 각각 전사 전/후의 트랜지스터 소자의 특성(I-V 그래프) 분석 결과이다.
- 도 24 및 25는 전사 이후 도 19의 폴리머층이 적층된 트랜지스터는 전사 이전 트랜지스터의 소자 특성의 분석 그래프이다.
- 도 26 내지 29는 본 발명에 따라 SOI 기판 상에 제조된 후 하부 실리콘층이 제거됨으로써 플렉서블 특성을 가지는 소자를 액정폴리머(LCP, 800) 상에 전사시킨 후, 다시 LCP로 밀봉하는 공정을 설명하는 도면이다.
- 도 30은 도 29에 따라 제조된 LCP 기반 플렉서블 VLSI 소자의 사진이다.
- 도 31 및 32는 본 발명에 따라 제조된 플렉서블 VLSI 소자의 생체 응용 가능성을 설명하는 도면이다.
- 도 33은 본 발명에 따른 플렉서블 VLSI소자가 OLED와 같은 광학 디바이스에도 사용될 수 있음을 예시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명을 도면을 참조하여 상세하게 설명하고자 한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서 본 발명은 이하 설명된 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타내며, 본 명세서에 첨부된 도면은 모두 전체 평면도 및 부분 단면(A-A', B-B', 또는 C-C')을 절개한 단면도의 형식으로 해석된다. 또한, 본 발명에서 사용되는 "플렉서블(flexible)" 이라는 용어는 딱딱한(rigid) 특성을 갖는 실리콘 기판 등과 구별되는 용어로서, 플라스틱 기판 등과 같이 기판이 일정각도로 휘어지거나, 접힐 수 있는 특성을 모두 포함하는 용어이다.

- [0024] 또한 본 명세서에서 사용되는 "플렉서블(flexible)" 이라는 용어는 딱딱한(rigid) 특성을 갖는 실리콘 기판 등과 구별되는 용어로서, 플라스틱 기판 등과 같이 기판이 일정각도로 휘어지거나, 접힐 수 있는 특성을 모두 포함하는 용어이다.
- [0025] 본 발명에 따른 플렉서블 VLSI 소자 제조방법은 특히 마이크로 미만(서브 마이크로)의 나노 소자, 예를 들면 나노 트랜지스터를 우수한 정렬도로 플렉서블 기판에 구현할 수 있으며, 또한, 소자가 서로 연결되어 직접된 복잡한 회로나 VLSI도 실리콘 기판에 완전히 제조한 후, 이를 플렉서블 기판에 옮김으로써, 플렉서블 집적회로 또는 VLSI소자 회로를 구현할 수 있으며, 더 나아가 증성역확충을 이용하여, 소자의 기계적, 전기적 특성을 향상시킨다.
- [0026] 도 1 내지 6은 본 발명의 일 실시예에 따른 플렉서블 VLSI 소자 제조방법을 설명하는 도면이다.
- [0027] 도 1에는 실리콘 기판 사이에 버퍼층인 절연층(실리콘 산화물층, 200)이 형성된, 실리콘-온-인슐레이터(Silicon On Insulatore, SOI) 기판이 개시된다. 본 발명자는 특히 실리콘-온-인슐레이터 구조의 기판에서 상부 실리콘층(지지층, 100)과 하부 실리콘층(제 1 실리콘 기판, 101)은 상기 버퍼층(200)을 경계로 분리가능하며, 특히 상부 실리콘층(100)의 얇은 두께로부터 플렉서블 특성을 달성한다.
- [0028] 도 2를 참조하면, 상기 실리콘 기판, 특히 상부 실리콘층(100) 상에 트랜지스터와 같은 소자(300)가 통상적인 방법에 따라 제조된다. 상기 제조는 우수한 내화학, 내열 특성의 실리콘 기판에서 진행되므로, 통상적인 반도체 제조 공정에 따라 상기 소자가 제조될 수 있다. 본 발명의 일 실시예에서 상기 소자는 트랜지스터의 형태이었으나, 본 발명의 범위는 이제 제한되지 않는다.
- [0029] 도 3을 참조하면, 상기 소자(300)가 제조된 실리콘 기판상에 제 1 접착층(400)이 도포된다. 이후 도 4에서는 지지층(110)이 상기 제 1 접착층(400)을 통하여 하부의 SOI 기판과 접착된다. 본 발명의 일 실시예에서 상기 제 1 접착층(400)은 이후 SOI 기판의 상부 실리콘층(100)과 상부에 구비되는 지지층(110)을 접합시키는 역할을 수행하며, 본 발명의 일 실시예에서 상기 제 1 접착층(400)은 실리콘과의 접착성과 함께 후속공정에 의하여 용이하게 제거되는 특성을 갖는 것이 바람직하다. 본 발명의 일 실시예에서는 에폭시계 접착제를 상기 접착층(400)으로 사용하였으나, 본 발명의 범위는 이에 제한되지 않는다. 상기 지지층은 상부 소자를 보호할 뿐만 아니라, 기판의 높이를 임시로 높임으로써 기판의 딱딱한 특성(rigidity)를 높인다. 이로써 소자의 우수한 정렬도를 계속 유지할 수 있게 된다. 만약, 상기 지지층(110)이 없다면, 소자 기판의 얇은 두께로 인하여 소자의 정렬도는 나빠질 수 있으며, 특히 대면적 소자인 경우, 이러한 문제는 더욱 심각해진다. 하지만, 본 발명은 임시로 기판의 두께를 두껍게 하는 상기 지지층(110)을 통하여 플렉서블 VLSI 소자 제조에 있어서 가장 어려운 문제 중 하나인 소자 정렬도를 그대로 유지할 수 있게 한다.
- [0030] 도 5를 참조하면, SOI 기판의 하부 실리콘 기판(101)은 제거된 후, 제 2 접착층(500)이 도포된 플라스틱 기판으로 상기 소자층이 전사된다. 본 발명의 일 실시예에서 상기 SOI의 하부 실리콘 기판(101) 제거는 습식 식각 방식이었으나, 건식 식각 또는 기계적, 물리적 제거 방식 모두 사용가능하다. 상기 전사 공정에서 지지층(110)은 상술한 바와 같이 임시로 얇아지는 기판의 높이를 높임으로써 소자의 정렬도를 향상시키는 역할을 수행한다.
- [0031] 도 6을 참조하면, 상기 지지층인 지지층(110)은 제거되며, 이로써 플렉서블 기판인 플라스틱 기판(600)상에 구비된 소자가 제조된다.
- [0032] 도 7 내지 14는 본 발명의 또 다른 일 실시예에 따른 플렉서블 VLSI 소자 제조방법을 설명하는 도면이다.
- [0033] 도 7을 참조하면, 도 1과 동일한 구조의 SOI 기판이 개시된다.
- [0034] 도 8을 참조하면, 상기 SOI 기판 상에 하나 이상의 소자가 제조되며, 상기 소자의 제조는 종래의 반도체 기술에 따른다.
- [0035] 도 9를 참조하면, SOI 및 소자 상에 제 1 접착층(400)이 도포되며, 상기 제 1 접착층(400)은 추후 상부에 접착되는 지지층을 물리적으로 고정시켜주는 기능을 수행한다.
- [0036] 도 10 및 11을 참조하면, 상기 제 1 접착층(400)에 지지층인 지지층(110)이 접착되고, SOI 기판의 하부 실리콘 기판(101)이 물리적 또는 화학적 방식으로 제거된다.
- [0037] 도 12를 참조하면, 희생기판 상에 제조된 복수 개의 단위 소자가 개시되며(도 11 참조), 복수 개의 단위 소자는 도 12에서 점선으로 도시된 바와 같이 물리적으로 구분될 수 있다. 즉, 별도의 절단 도구 등을 사용하여 상기 지지층(110) 상의 소자는 각 단위 영역별로 분할되며, 이로써 플라스틱 기판으로의 선택적 소자의 전사가 가능

하다.

- [0038] 도 13을 참조하면, 상기 단위 소자 중 전사를 원하는 특정 소자에 대하여, SOI 기판의 절연층(200) 상에 플라스틱 기판(600)이 접착되며, 상기 플라스틱 기판(600)의 접착은 상기 절연층(200) 상에 도포된 제 2 접착층(500)에 의하여 수행되는 상술한 바와 같다.
- [0039] 도 14를 참조하면, 상기 접착된 플라스틱 기판(600)을 떼어냄으로써 플라스틱 기판(600)으로의 선택적 전사가 가능하다.
- [0040] 도 15 내지 18은 상술한 바와 동일한 방식으로 단위 VLSI소자가 플라스틱 기판에 전사되는 방식을 설명한다. 동일한 방식으로 대면적으로 SOI 기판 상에 제조된 소자가 플라스틱 기판에 선택적으로 전사될 수 있다.
- [0041] 도 19는 플렉서블 기판에 전사된 소자 상에 패시베이션층(700)이 도포된 경우를 설명하는 도면이다.
- [0042] 도 19를 참조하면, 상기 폴리머층 도포에 따라 본 발명에 따른 소자층은 전체 소자의 중성 역학층 영역에 구비된다. 본 발명의 일 실시예에서는 상기 패시베이션층(700) 도포를 통하여 압축응력과 위쪽에서 인가되는 인장응력이 모두 동일하게 되는 중성역학층을 중심으로 상기 VLSI가 소정 범위 이내에 위치되게 한다. 따라서, 본 발명에서는 상기 VLSI를 상기 패시베이션에 따라 완성되는 전체 플렉서블 VLSI 소자의 중성 역학층 위치를 중심으로 전체 두께의 +20% 내지 -20% 이내에 위치시키며, 이로써 박막으로 플렉서블 특성을 갖는 VLSI의 기계적 특성을 향상시켰다.
- [0043] 도 20 및 21은 각각 전사 전 SOI기판 상에 제조된소자, 전사 후의 소자의 사진이다.
- [0044] 도 21을 참조하면, 플라스틱 기판으로 접착, 전사된 소자는 상당히 우수한 플렉서블 특성을 보임을 알 수 있다.
- [0045] 도 22 및 23은 각각 전사 전/후의 트랜지스터 소자의 특성(I-V 그래프) 분석 결과이다.
- [0046] 도 22를 참조하면, 전사 이후 도 19의 폴리머층이 적층되지 않은 트랜지스터는 도 19의 폴리머층이 도포, 적층되지 않은 전사 이전 트랜지스터와 비교하여 볼 때 전류값이 감소하고, Transfer Curve에서 전류값 감소 및 문턱전압의 이동이 보인다.
- [0047] 도 24 및 25는 전사 이후 도 19의 폴리머층이 적층된 트랜지스터는 전사 이전 트랜지스터의 소자 특성의 분석 그래프이다.
- [0048] 도 24 및 25를 참조하면, 전사 후 트랜지스터(Circuits, 등) 상에 15 μ m 두께의 Su8과 같은 도 19의 패시베이션층이 구비되는 경우, 전사 전, 후의 특성 변화가 많이 줄어 들었음을 알 수 있다. 이는 상부에 구비되는 폴리머층을 통하여 형성되는 중성역학층을 이용하면, 소자의 전사 전후 발생할 수 있는 소자의 특성 변화를 줄일 수 있음을 나타낸다. 더 나아가, 전사 후 VLSI 소자 위에 패시베이션층(700)이 없을 때 변형(Strain), 스트레스(Stress)에 의해 쉽게 소자가 파괴되는 문제가 발생하는데, 본 발명은 이를 방지하기 위해 소자 위에 세라믹(Ceramic), 폴리머(Polymer)와 같은 소재의 패시베이션층(700)을 구비시킨다.
- [0049] 도 26 내지 29는 본 발명에 따라 SOI 기판 상에 제조된 후 하부 실리콘층이 제거됨으로써 플렉서블 특성을 가지는 소자를 액정폴리머(LCP, 800) 상에 전사시킨 후, 다시 LCP물질로 밀봉하는 공정을 설명하는 도면이다.
- [0050] 본 발명은 이와 같이 소자의 아래 위 모두 LCP로 감싸는 단일(Monolithic) LCP 공정을 통해 생체 내에서의 소자 신뢰성을 향상시킬 수 있다. 특히 본 발명의 일 실시예에 따라 소자를 보호하는 LCP의 경우 수분 흡수성이 작아 생체 내에서도 내부 소자를 잘 보호할 수 있다.
- [0051] 이 경우에도, 상기 VLSI는 전체 소자의 중성 역학층 위치를 중심으로 전체 두께의 +20% 내지 -20% 이내에 위치되며, 이로써 박막으로 플렉서블 특성을 갖는 VLSI의 기계적 특성이 향상된다.
- [0052] 도 30은 도 29에 따라 제조된 LCP 기반 플렉서블 VLSI 소자의 사진이다.
- [0053] 도 30에 따라 제조된 LCP 기반 플렉서블 VLSI 소자는 생체 이식에 응용하기 적합하며, 생체 내부에서 오랜 기간 동안 신뢰성을 보여준다.
- [0054] 도 31 및 32는 본 발명에 따라 제조된 플렉서블 VLSI 소자의 생체 응용 가능성을 설명하는 도면이다.
- [0055] 도 31을 참조하면, 인공 망막의 경우 시각 정보를 처리할 Circuit등이 필요한데 기존의 인공망막 회로의 경우 부피가 크고 딱딱한 특성 때문에 망막에 직접적으로 삽입하여 이용하는데 큰 어려움이 있었다. 하지만 본 발명에 따른 전사 기술을 이용하면 부피가 작고 가벼우며 유연한 회로를 망막에 직접 부착 할 수 있다. 특히 LCP

내에 밀봉된 플렉서블 VLSI 소자를 이용하는 경우, 생체 내에서도 장시간 사용가능한 인공망막을 구성할 수 있으며, 이러한 플렉서블 VLSI 소자 제조방법은 상술한 바와 같다.

[0056] 도 32를 참조하면, 이 밖에도 생체 내에서 작동하는 여러 가지 종류의 생물학용, 의학용 디바이스에 본 발명에 따른 플렉서블 회로소자가 사용될 수 있다.

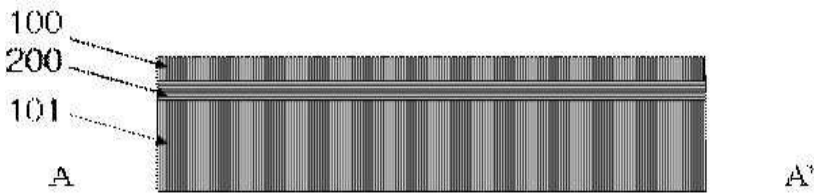
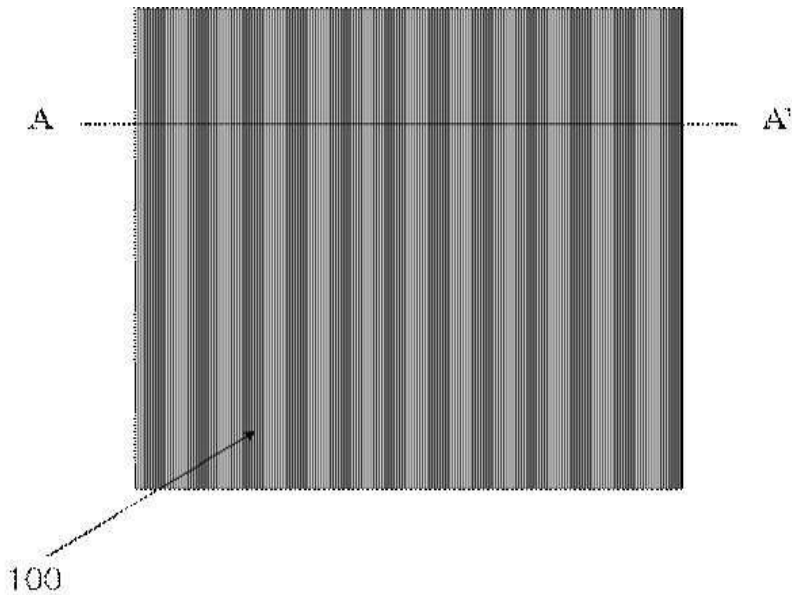
[0057] 더 나아가, 본 발명에 따른 플렉서블소자는 OLED와 같은 광학 디바이스에도 사용될 수 있으며, 도 33은 이를 예시한다.

[0058] 도 33을 참조하면, 현존하는 플렉서블OLED의 경우 화면을 표시하는 디스플레이 부분은 유연하지만 정보를 처리하는 드라이브IC의 경우 벌크 형태의 딱딱한 상태로 존재한다. 이는 완벽한 플렉서블 디스플레이라 보기 어렵는데, 본 발명에 따른 플렉서블 VLSI 소자 기술을 이용하면 모든 영역이 플렉서블한 디스플레이 소자가 구현 가능하다.

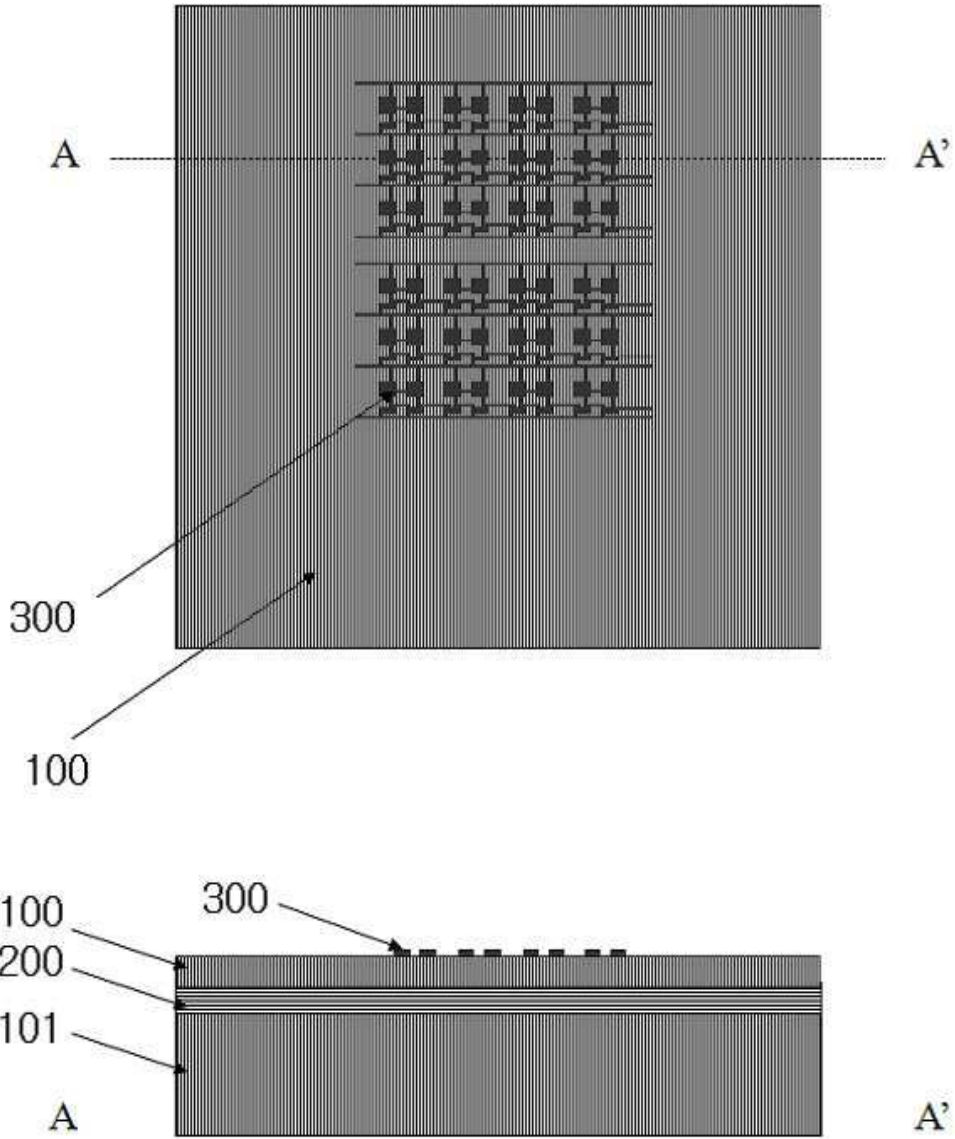
[0059] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명이 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이와 균등하거나 또는 등가적인 변형 모두는 본 발명 사상의 범주에 속한다 할 것이다.

도면

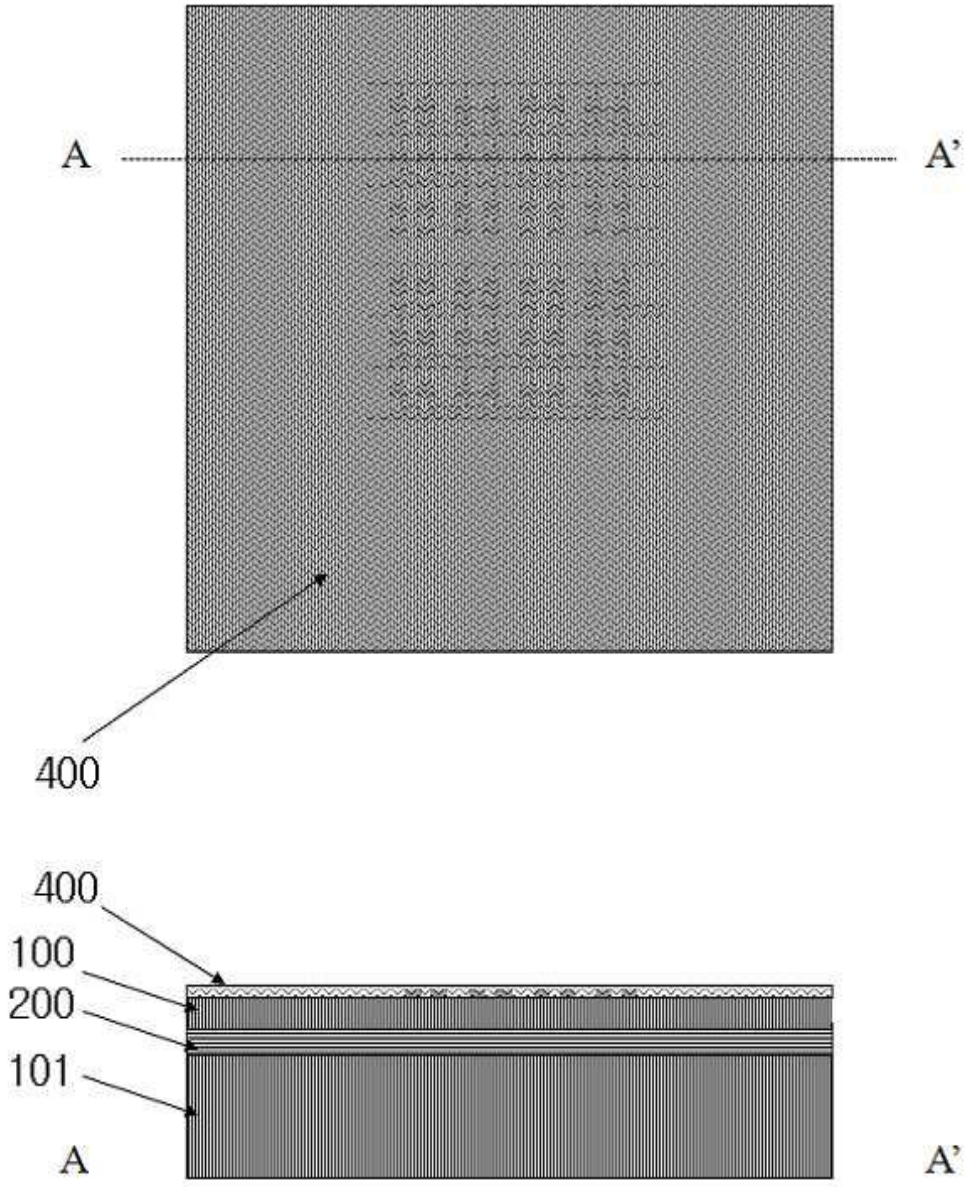
도면1



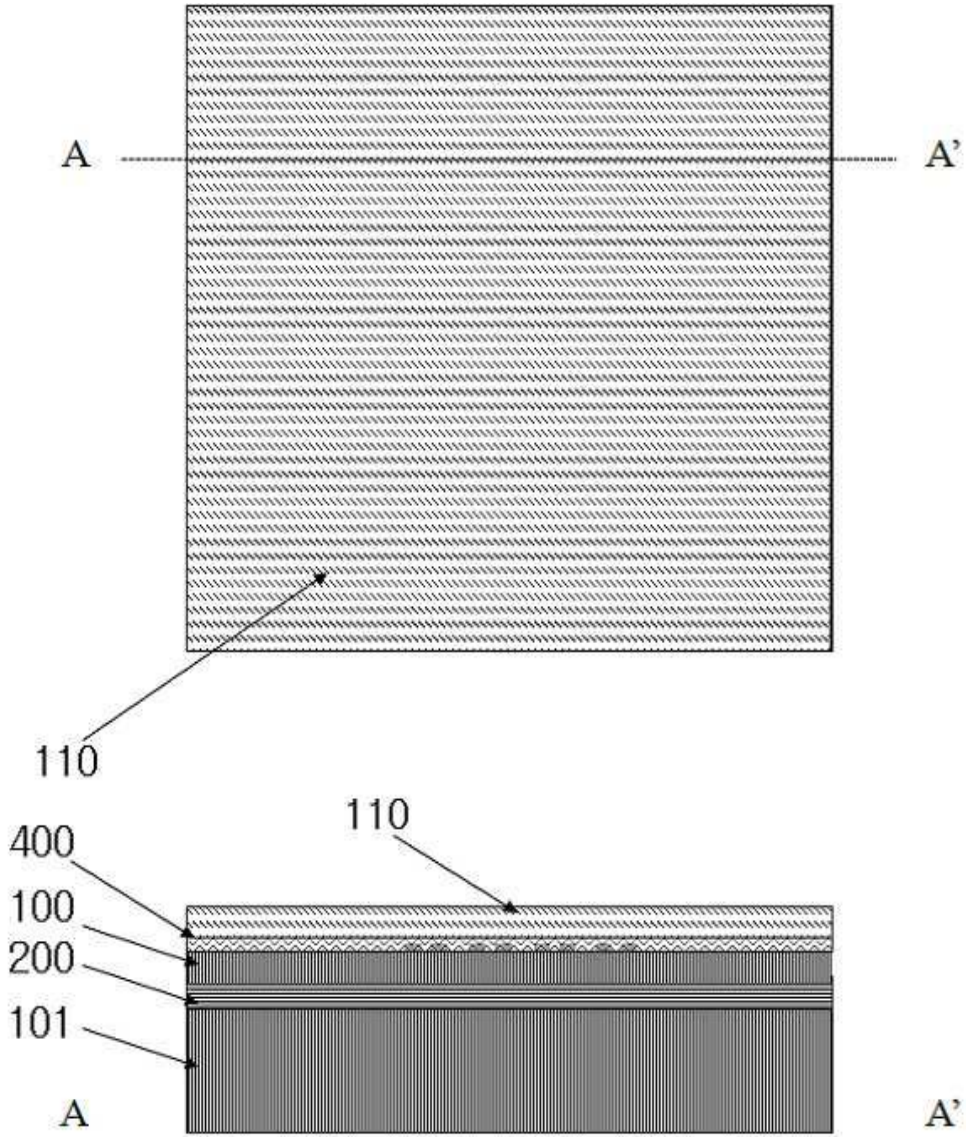
도면2



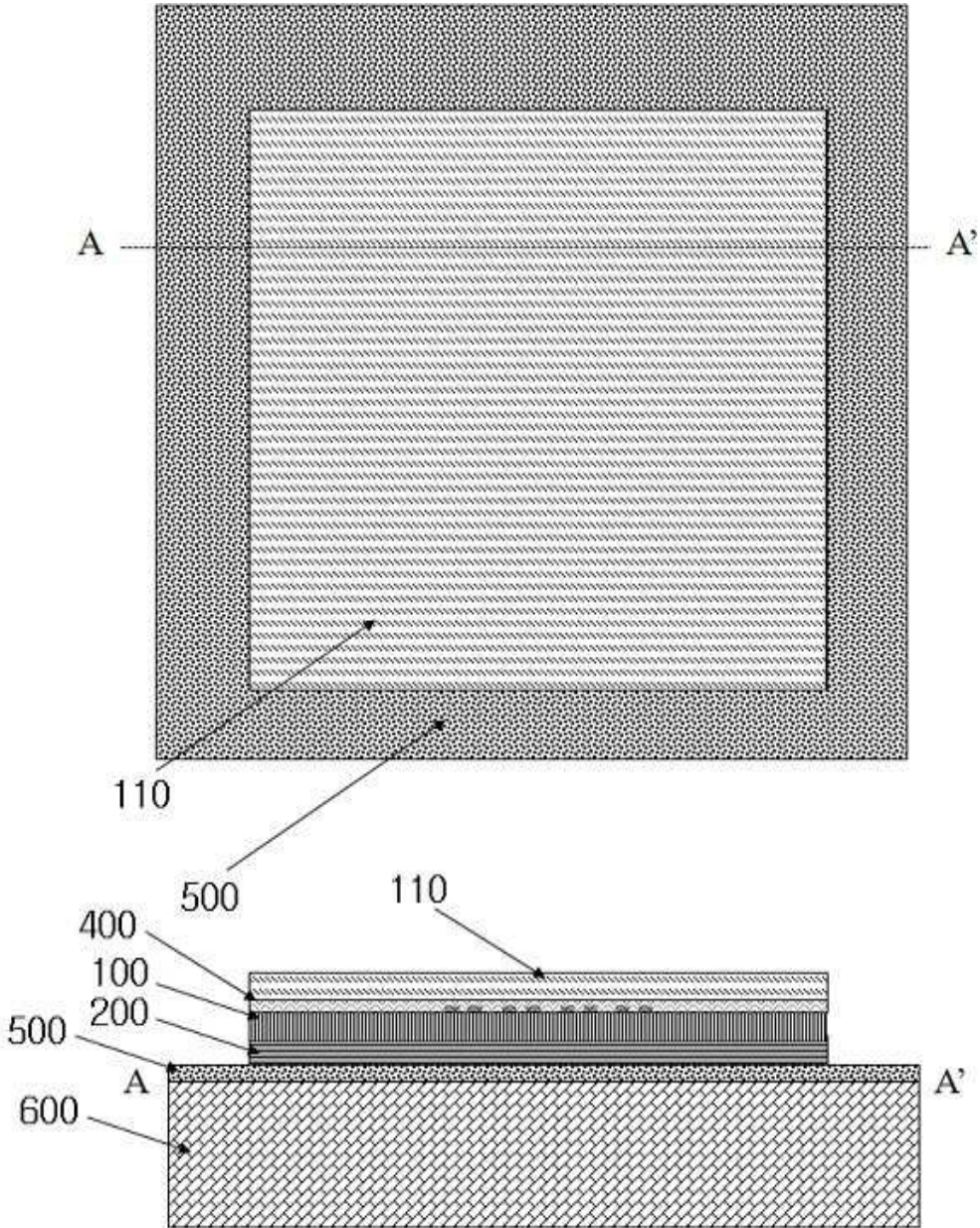
도면3



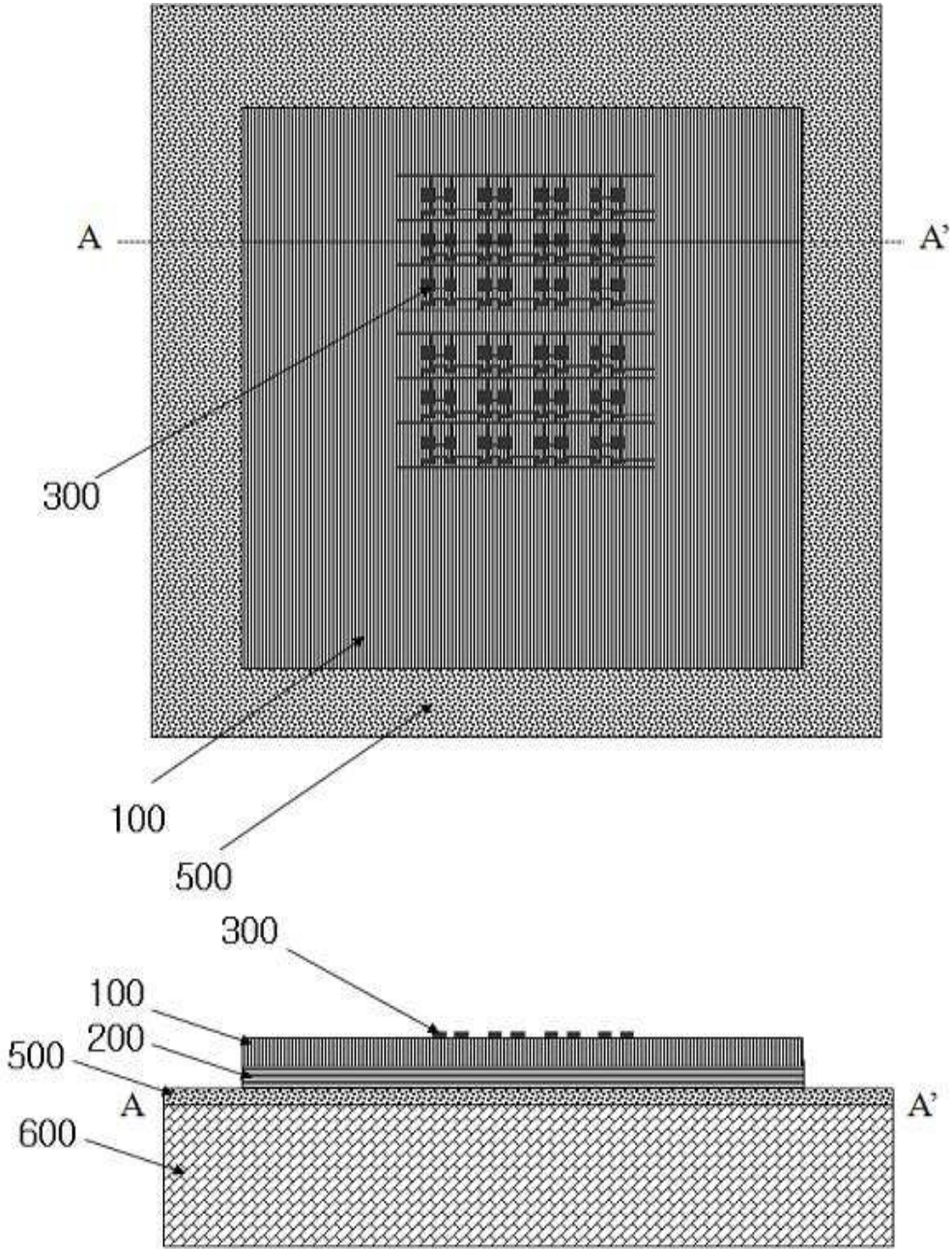
도면4



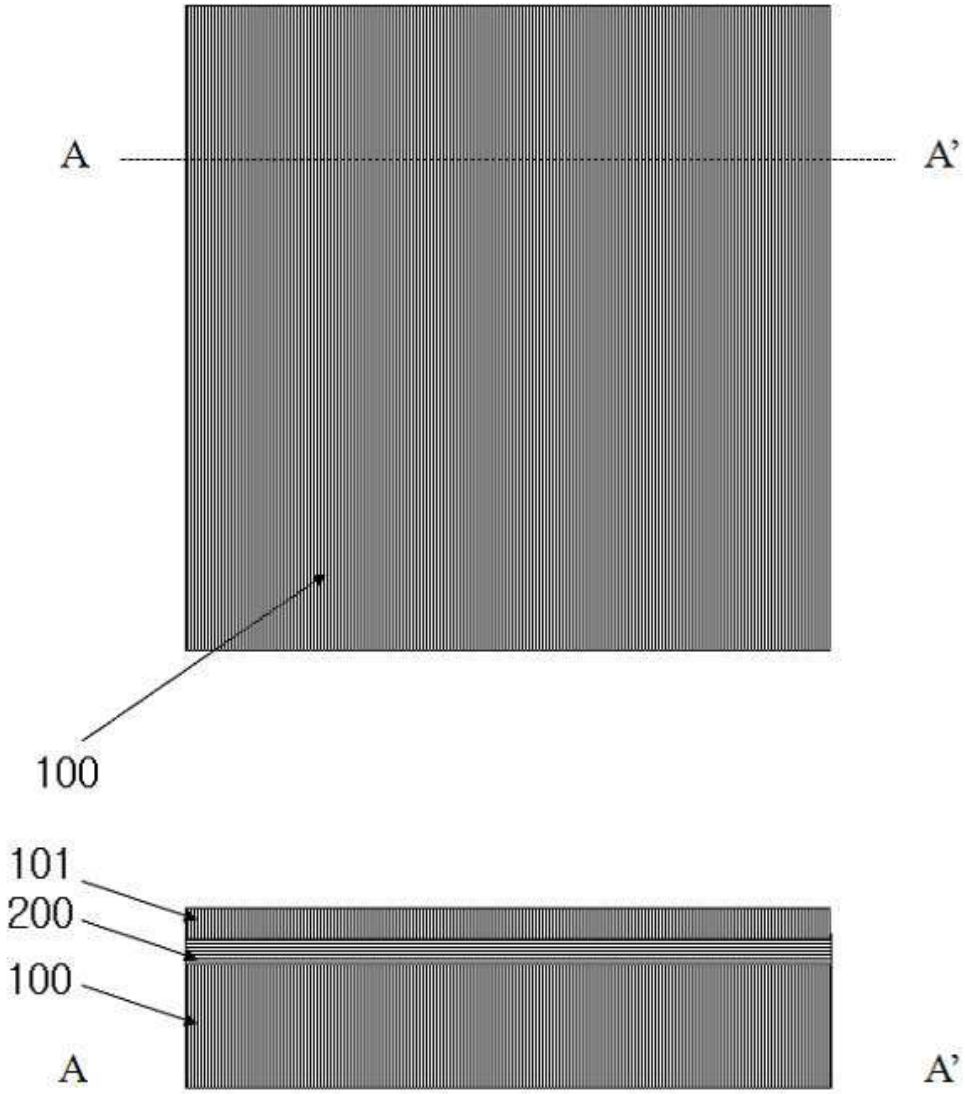
도면5



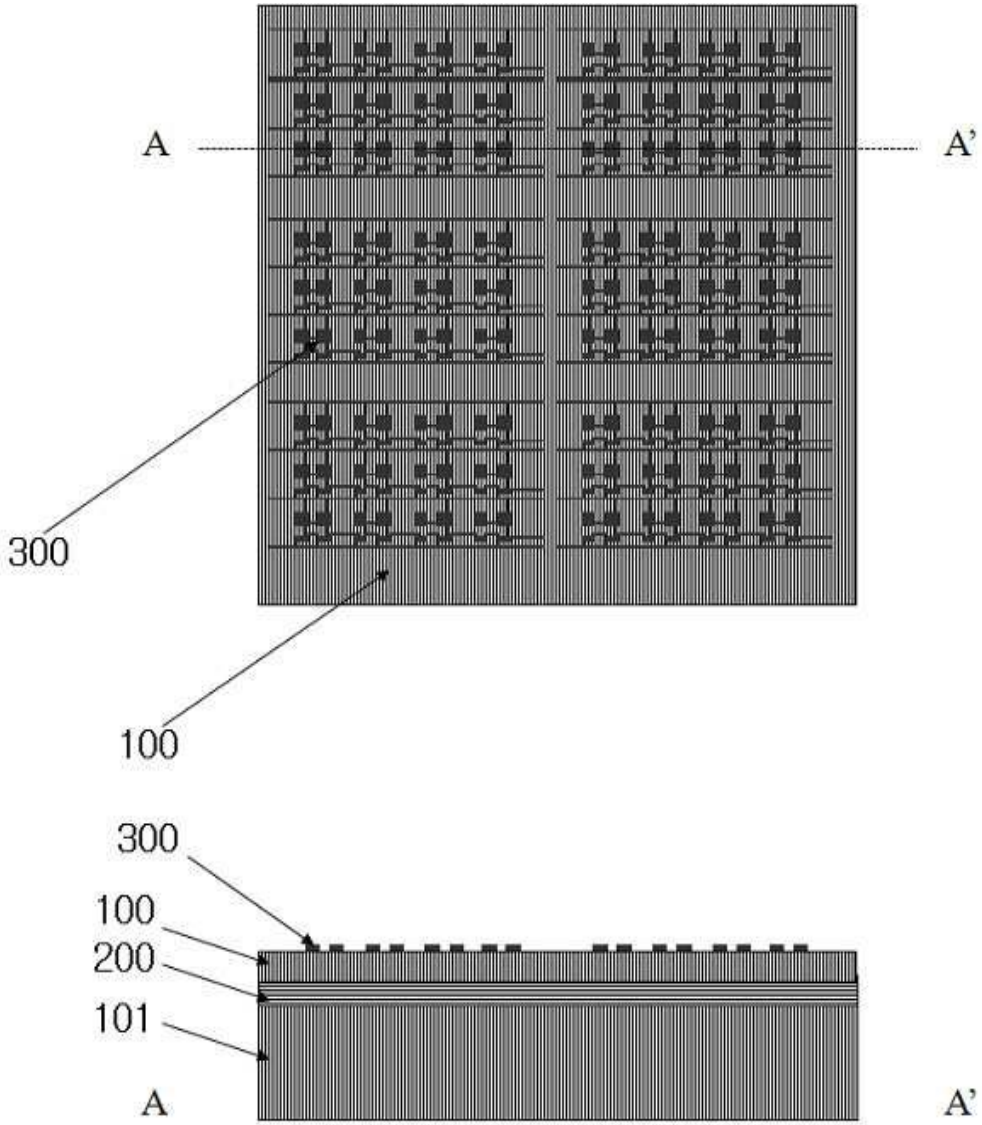
도면6



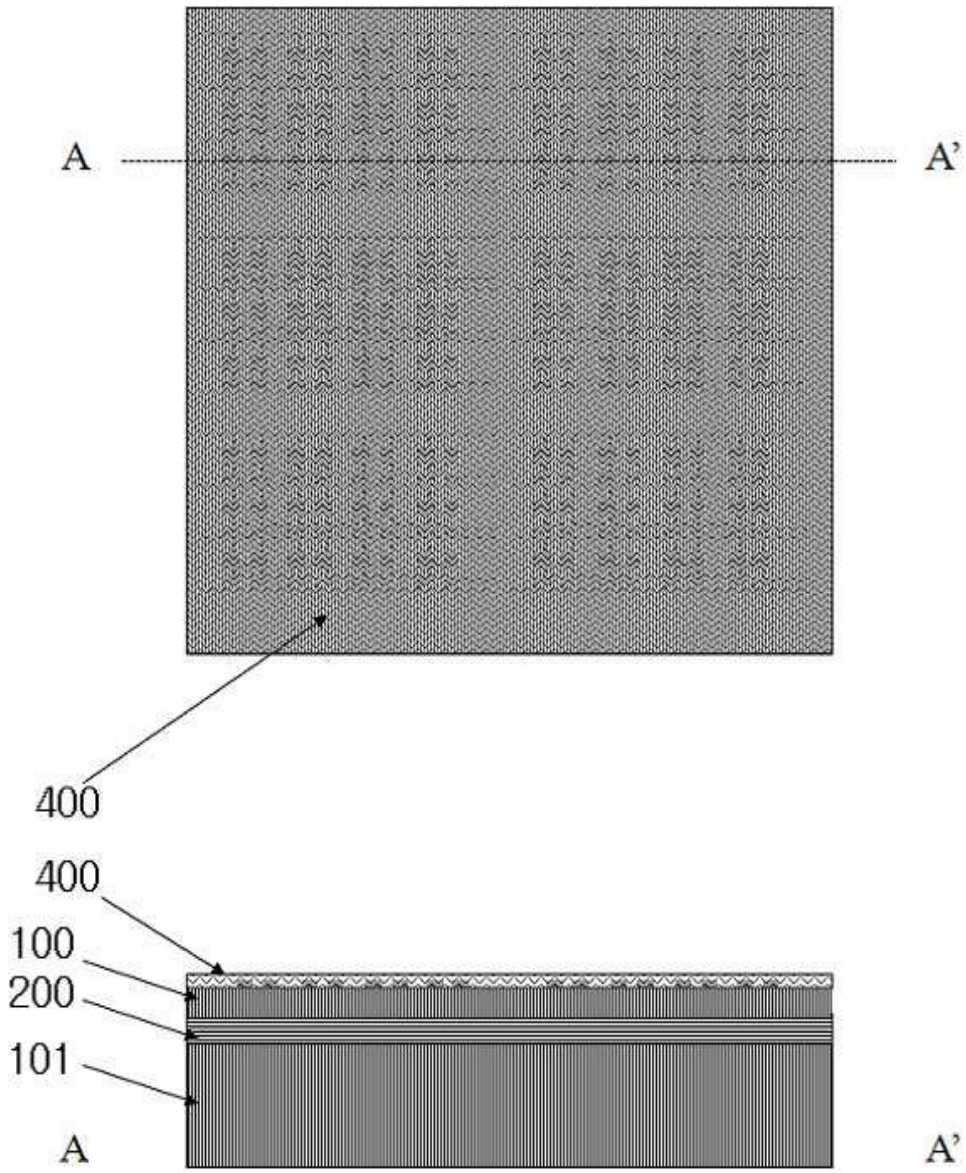
도면7



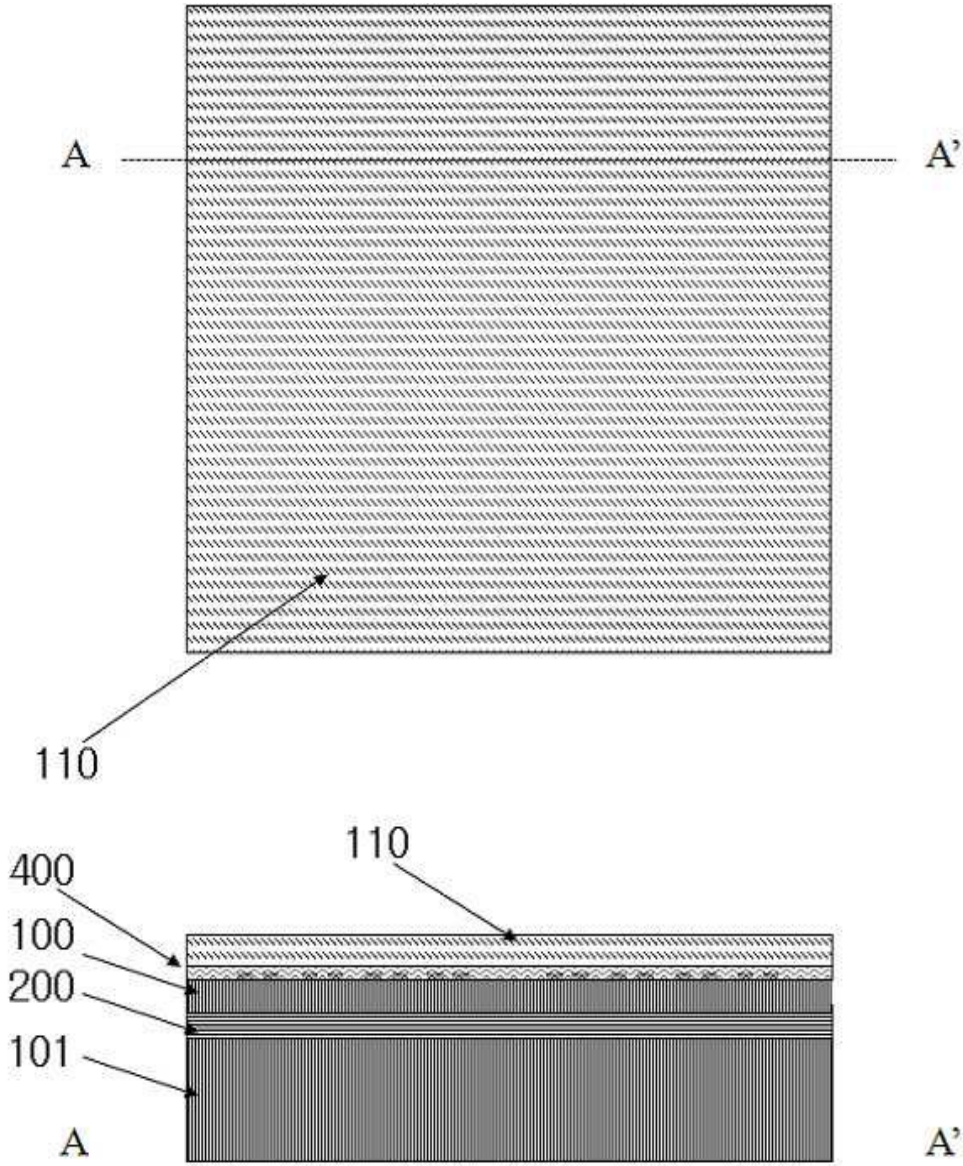
도면8



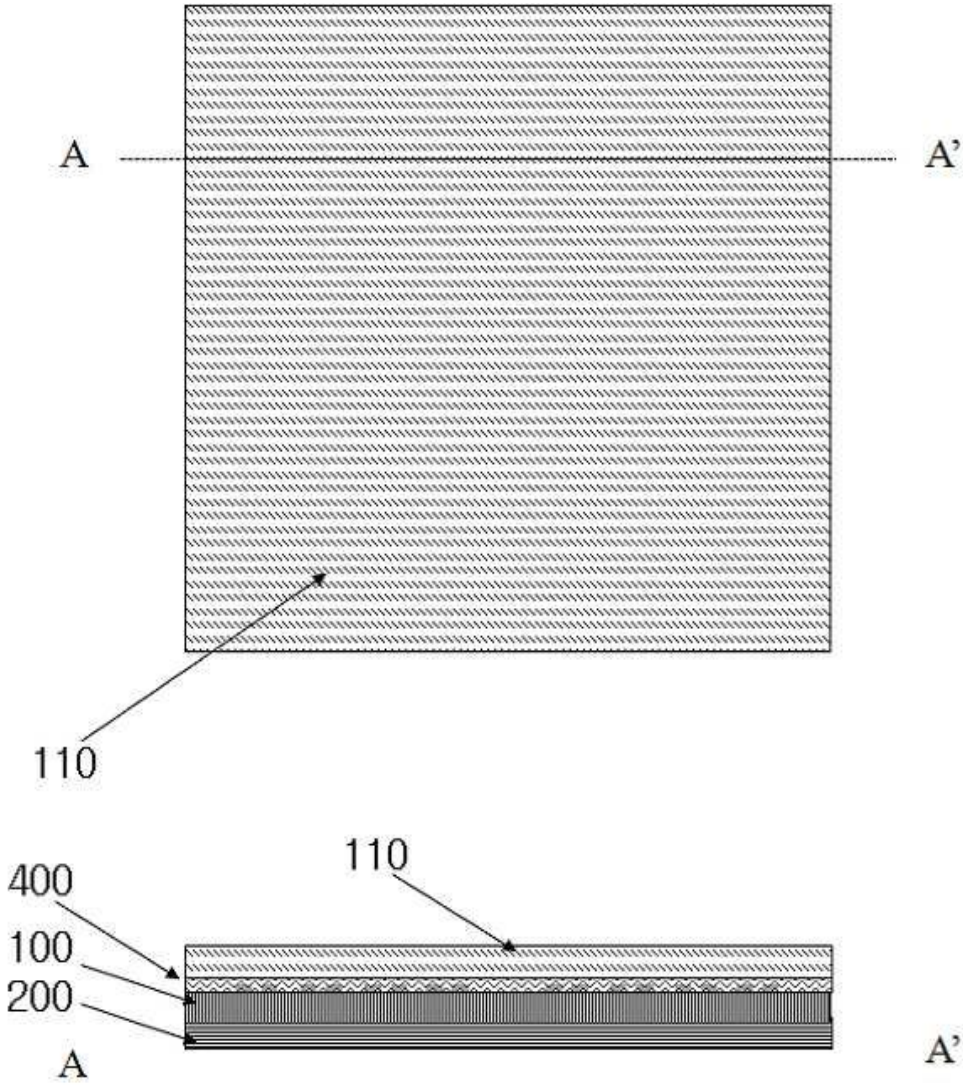
도면9



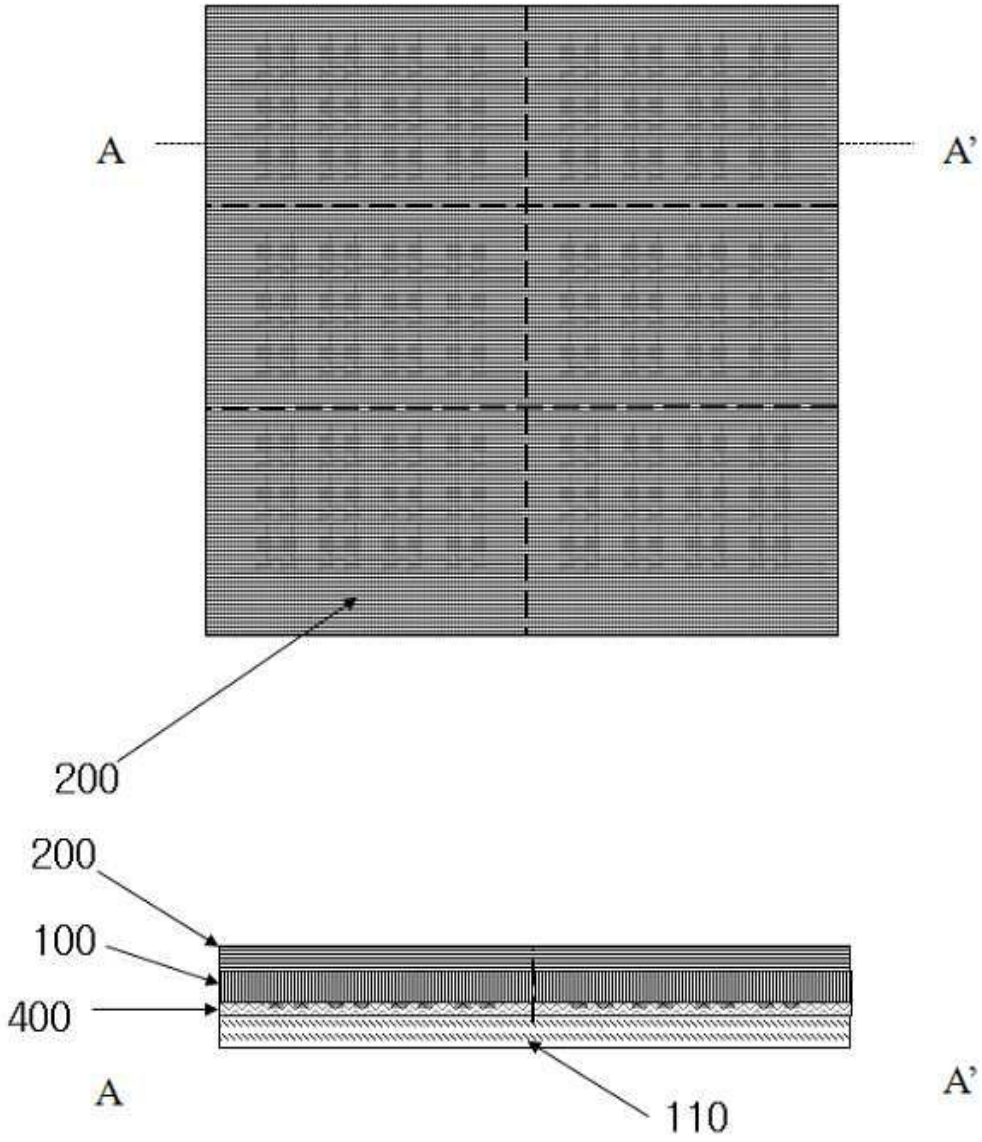
도면10



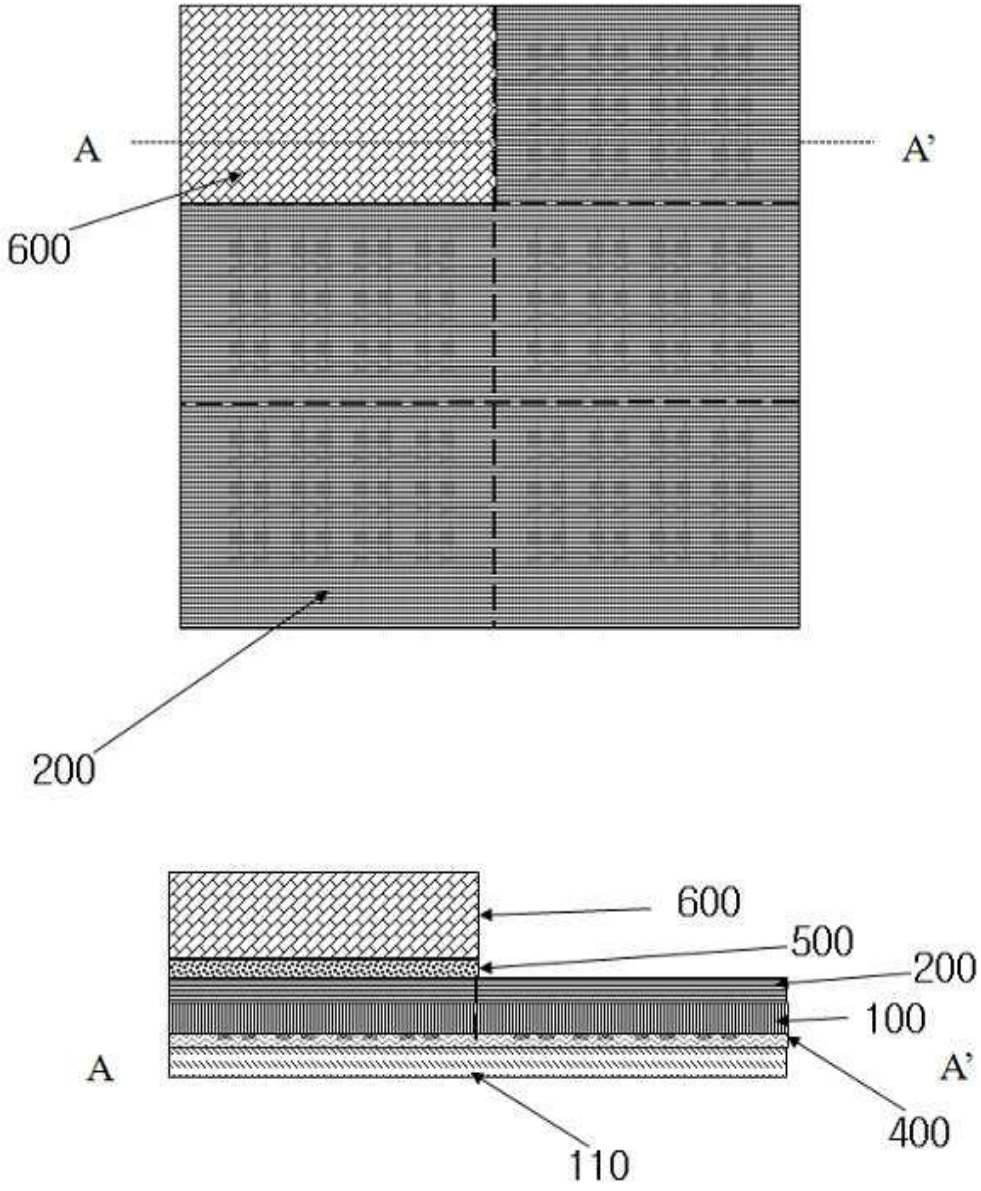
도면11



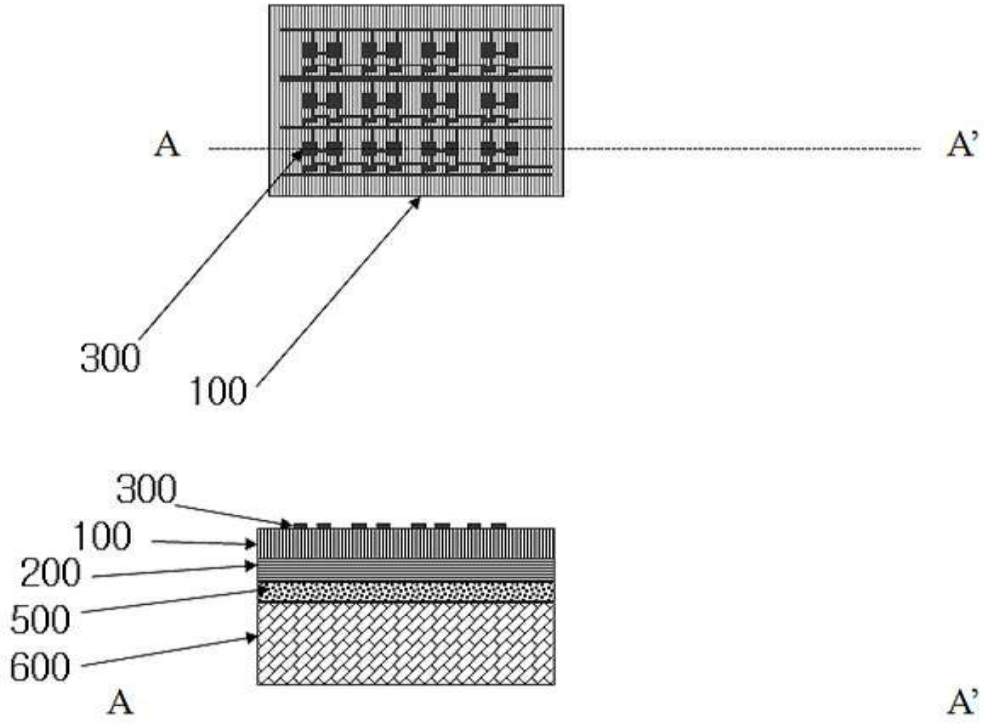
도면12



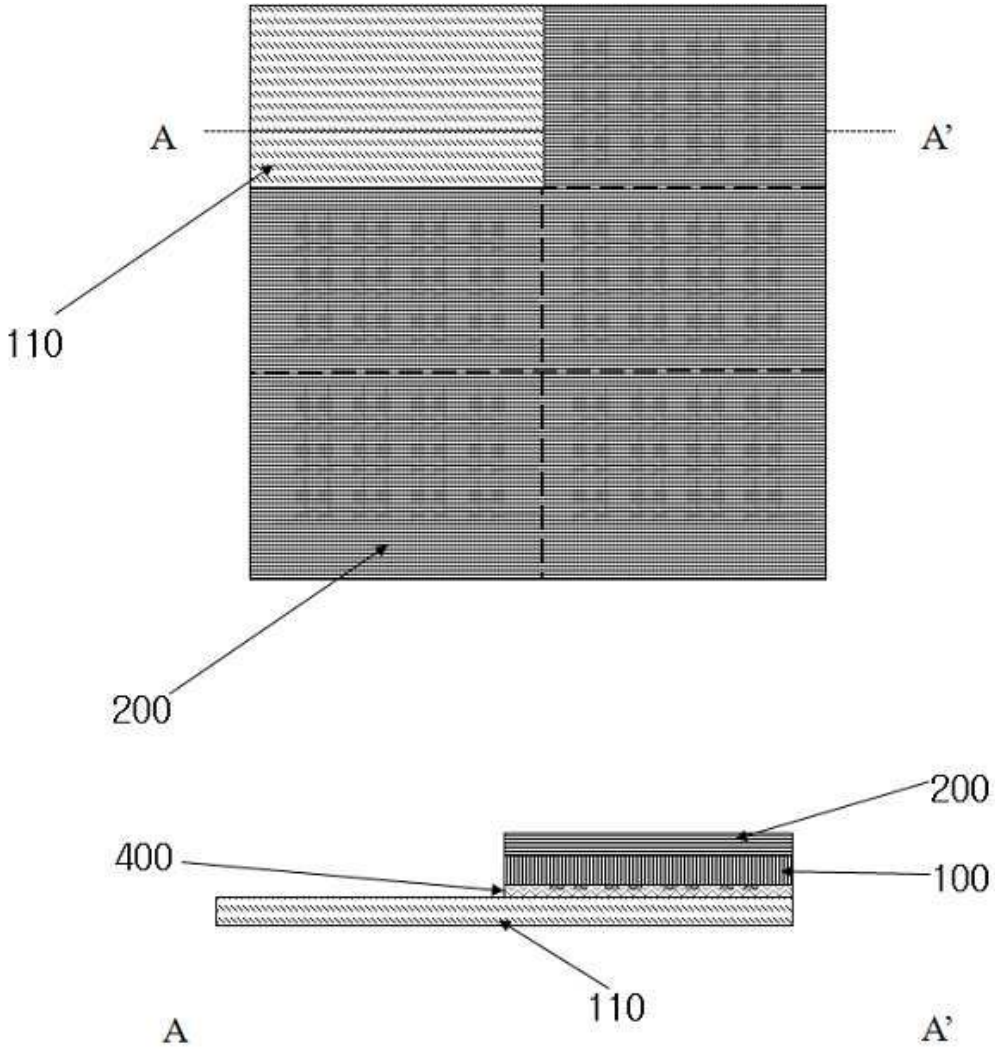
도면13



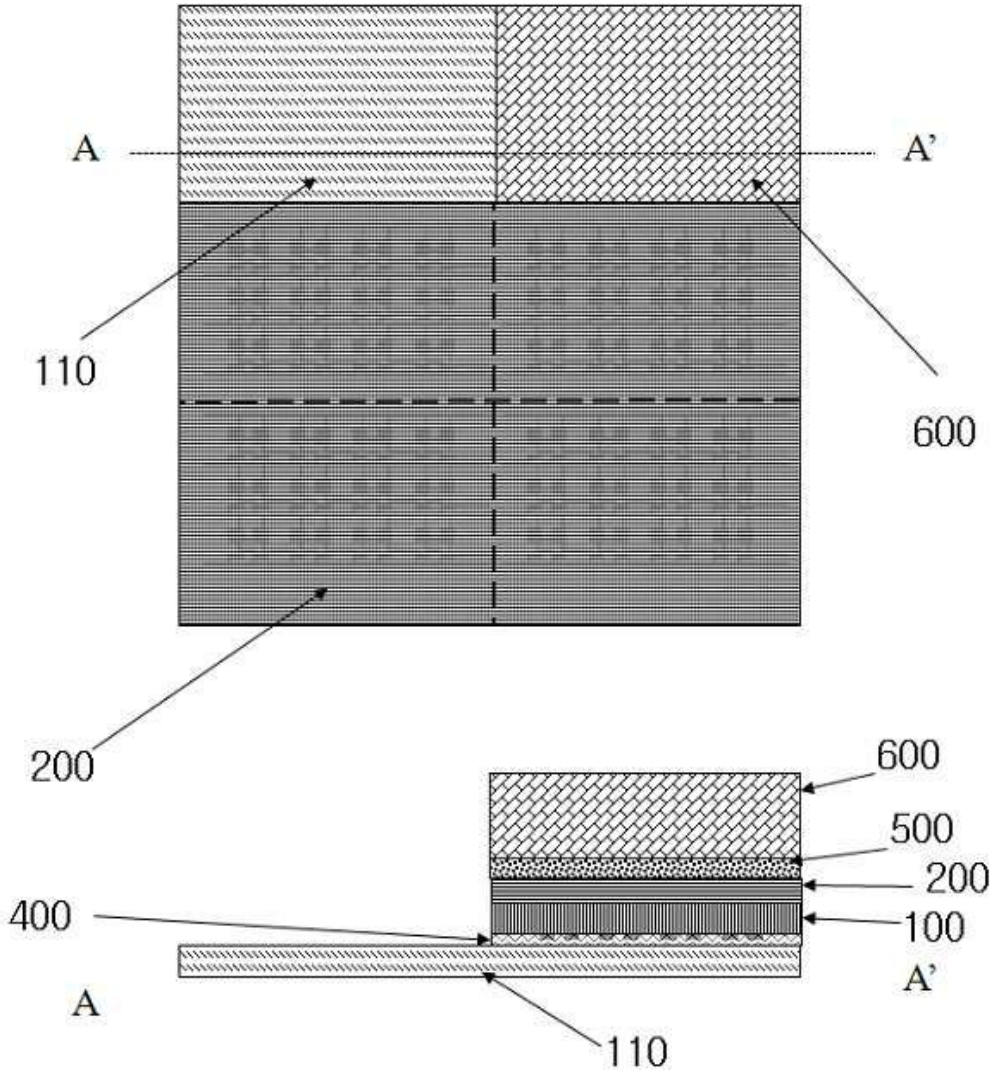
도면14



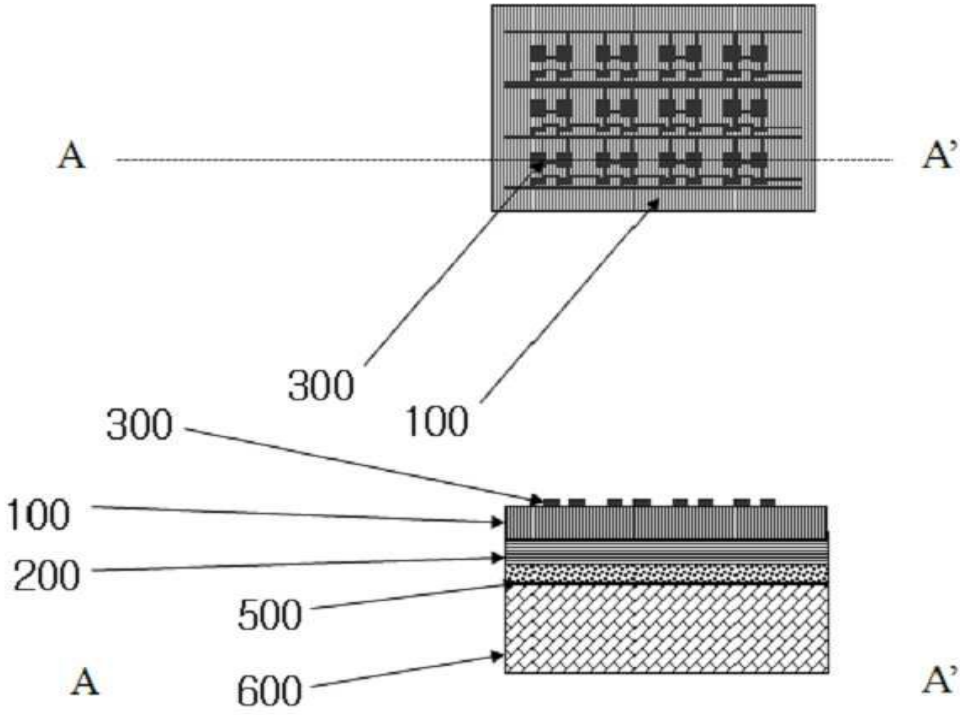
도면15



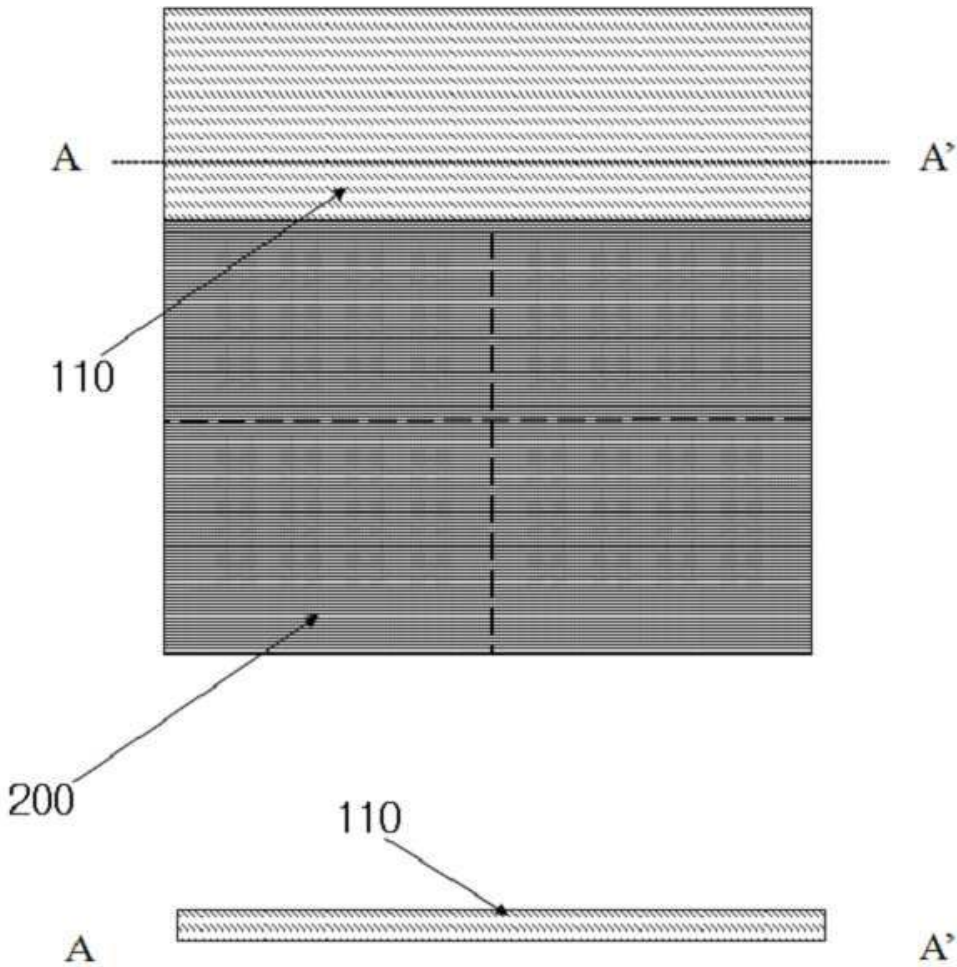
도면16



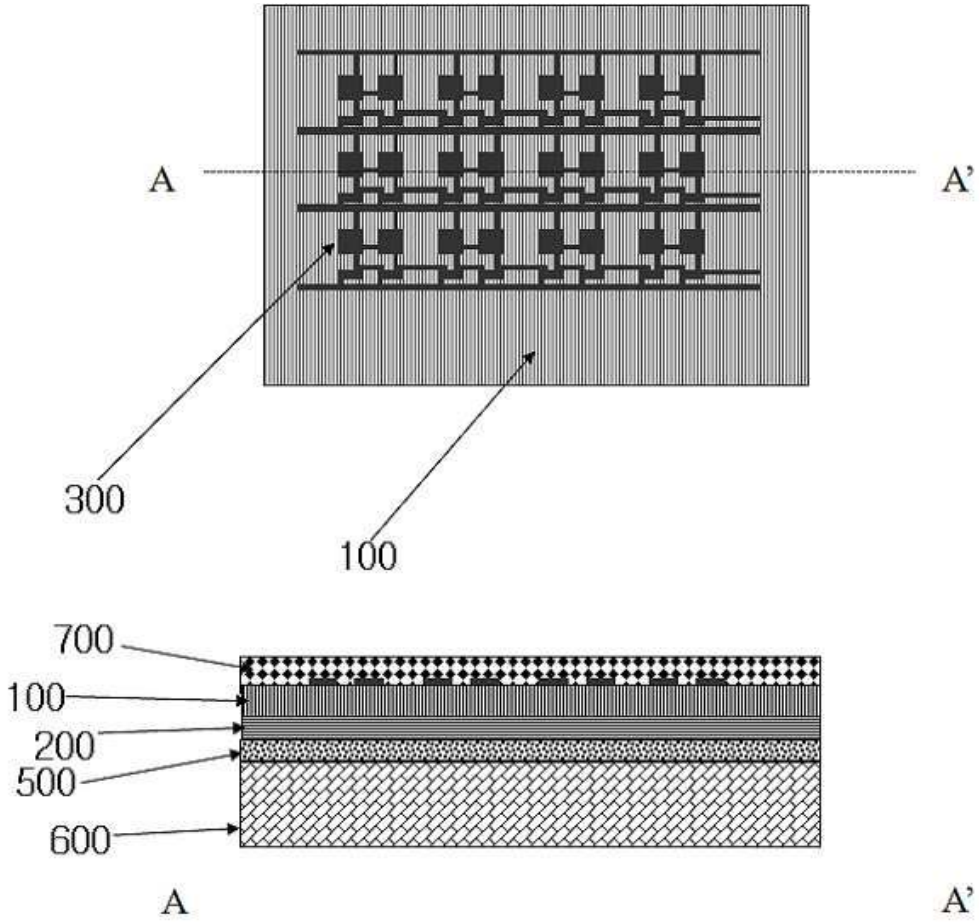
도면17



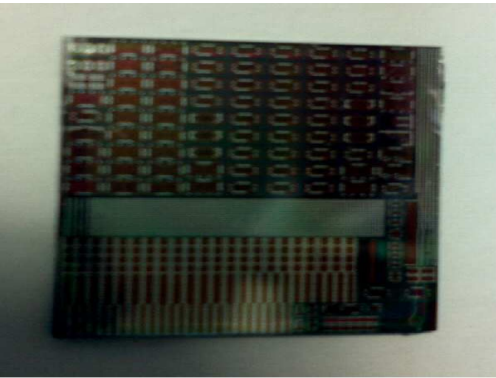
도면18



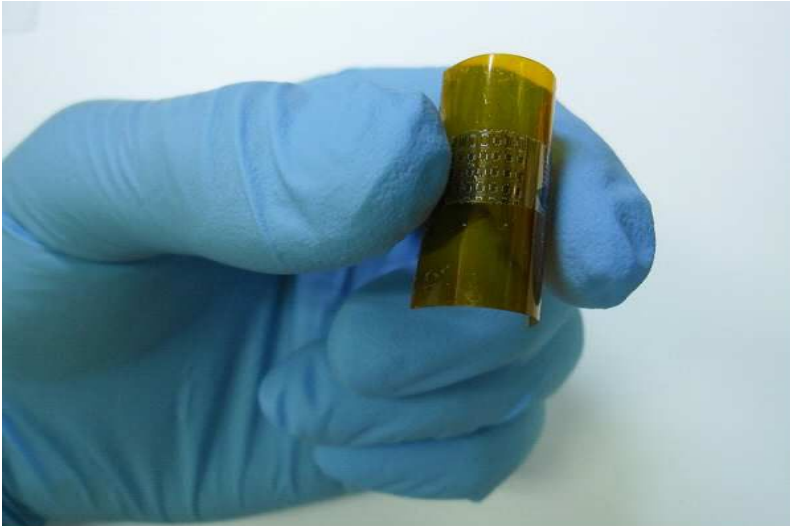
도면19



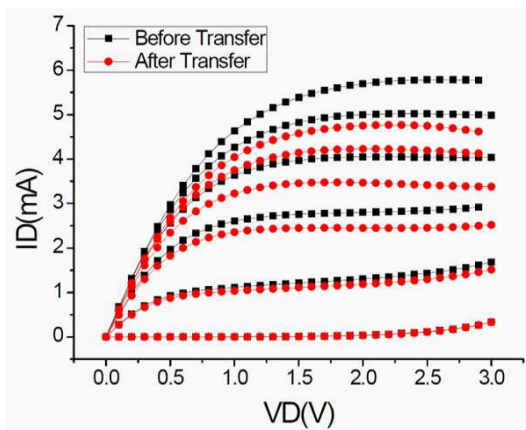
도면20



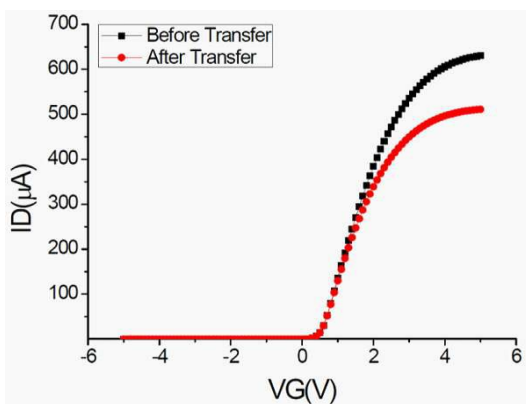
도면21



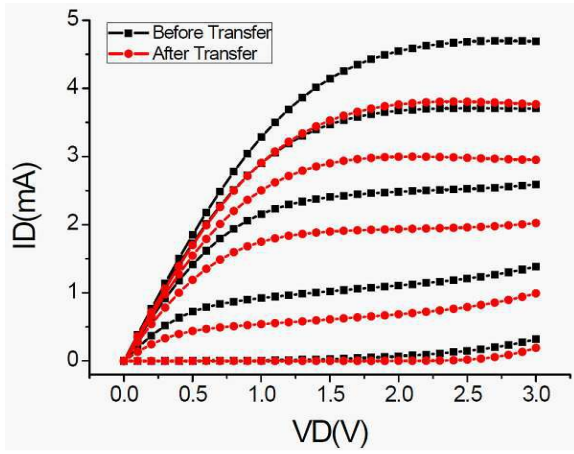
도면22



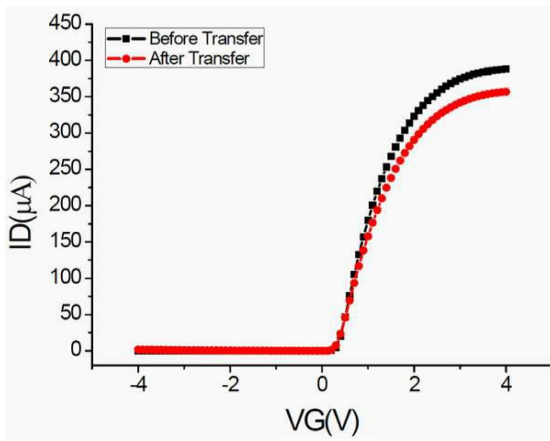
도면23



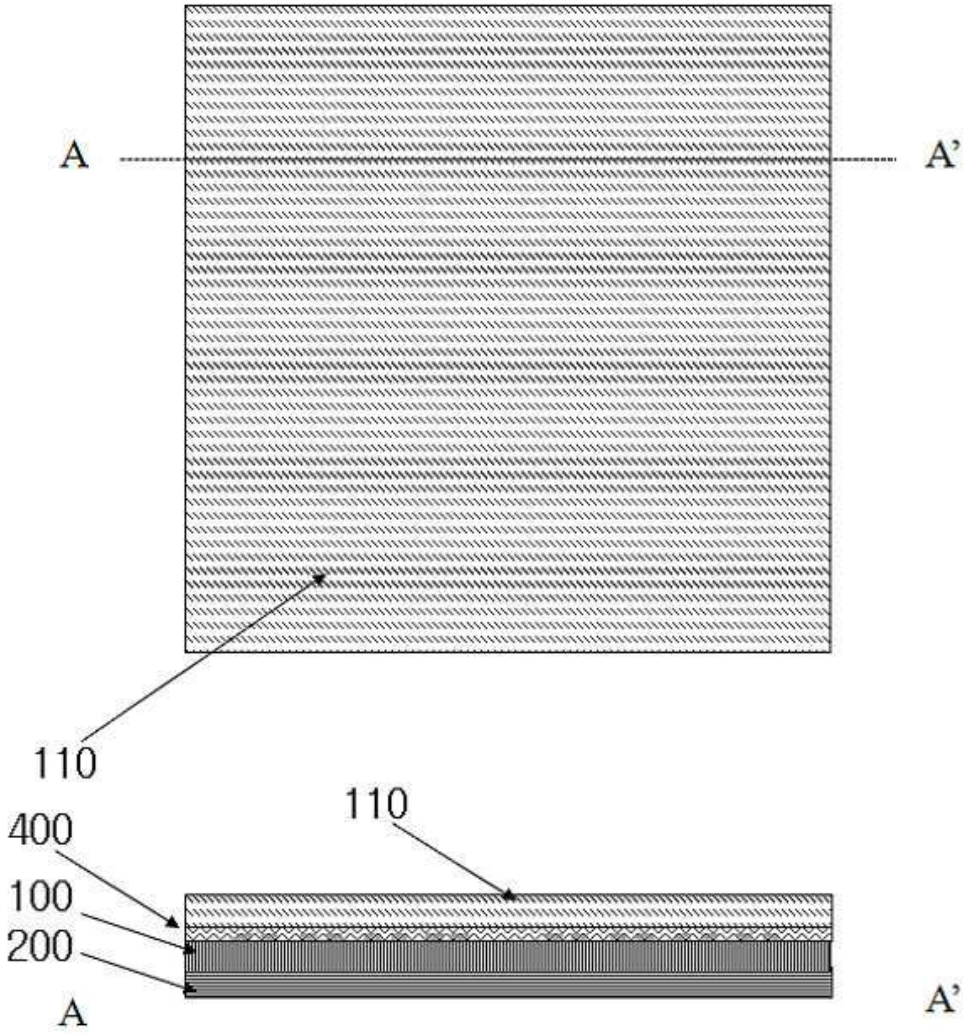
도면24



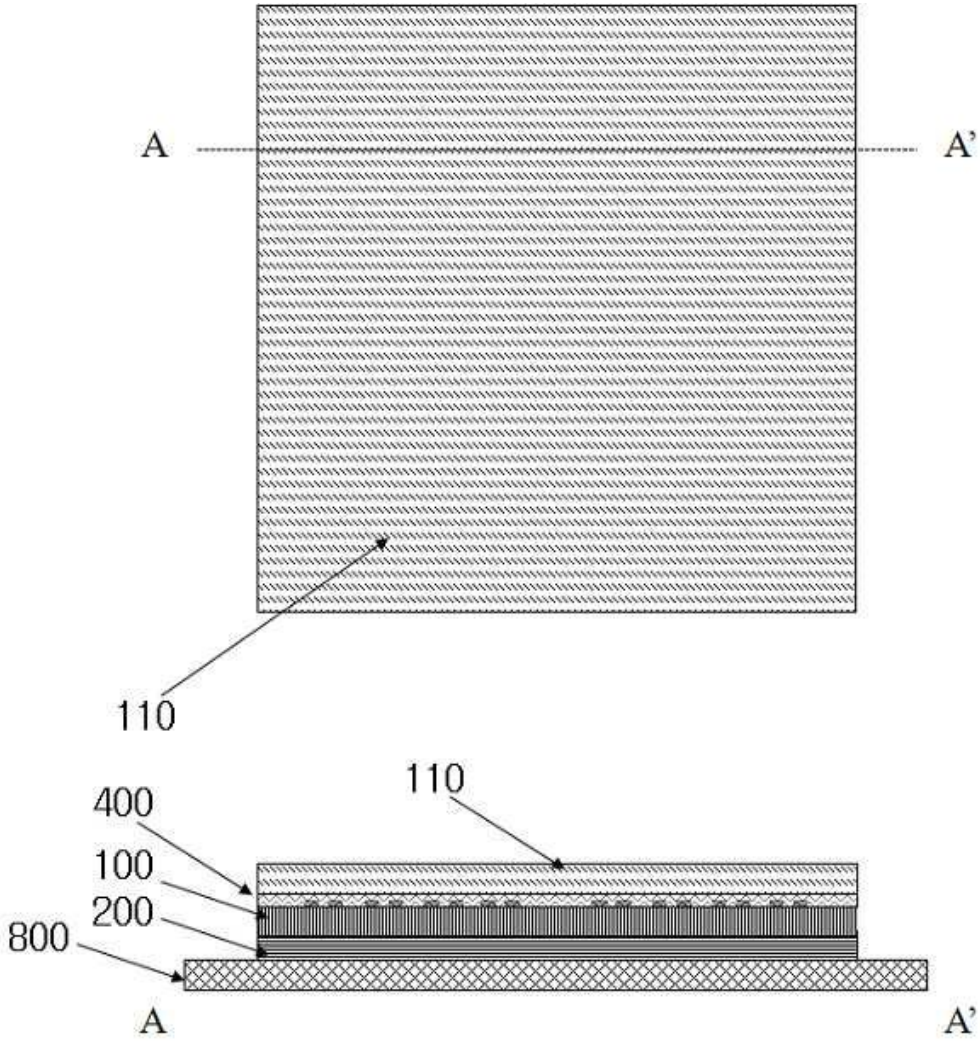
도면25



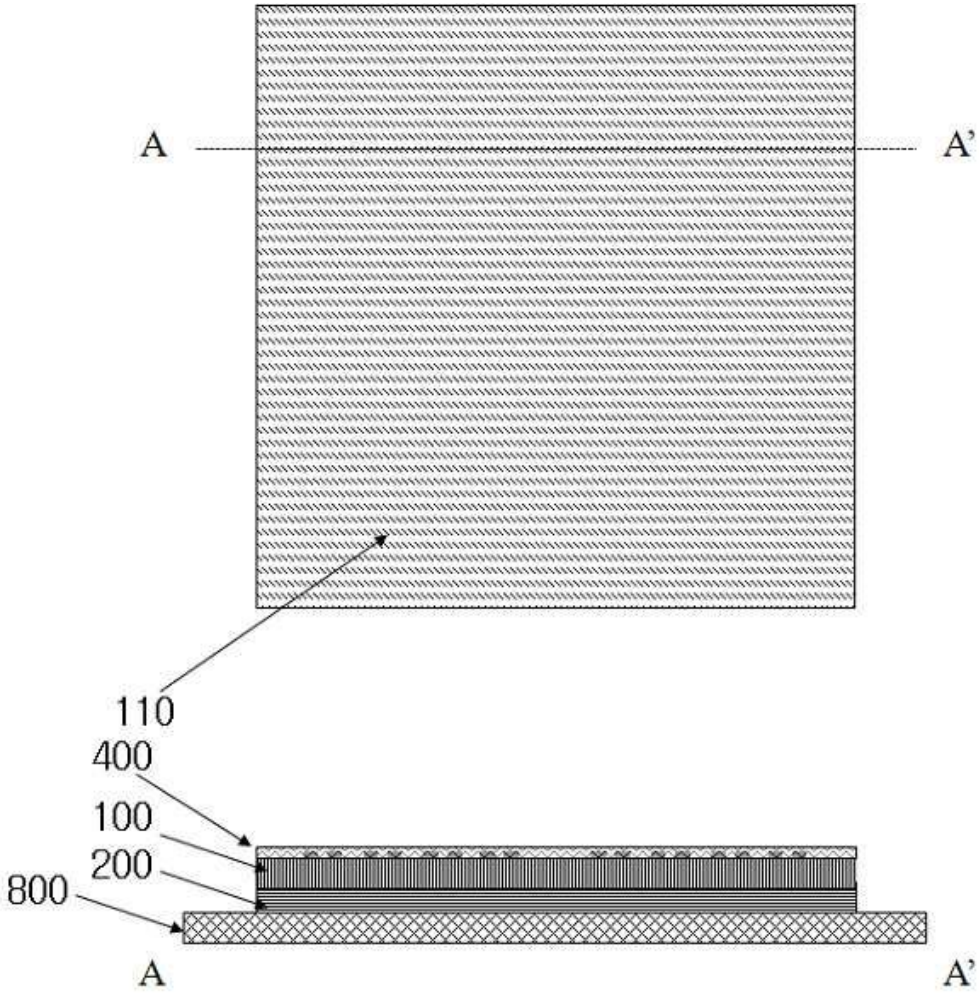
도면26



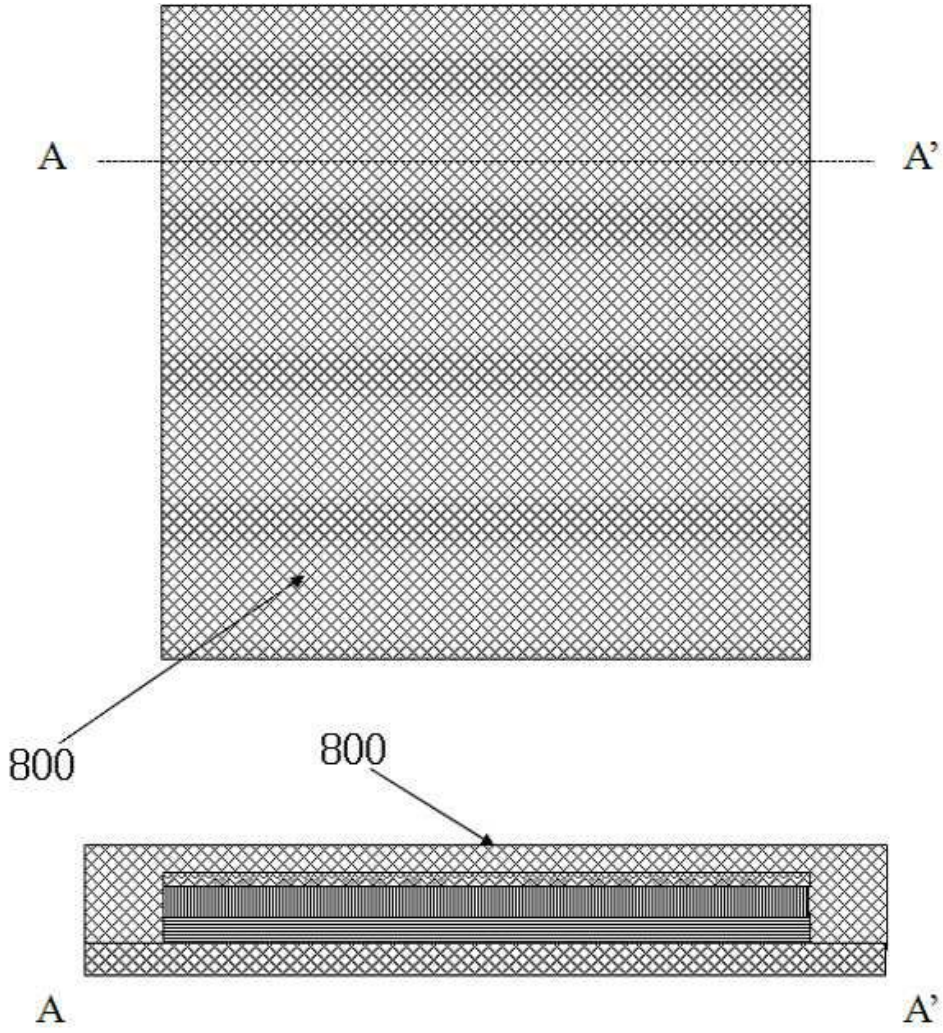
도면27



도면28



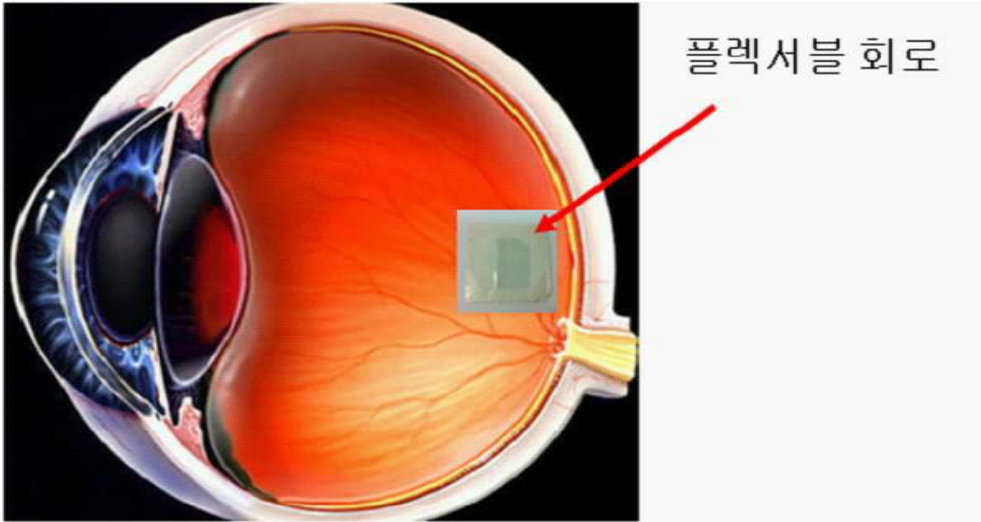
도면29



도면30



도면31



도면32



도면33

