



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월13일
 (11) 등록번호 10-1393700
 (24) 등록일자 2014년05월02일

(51) 국제특허분류(Int. Cl.)
 H01L 23/28 (2006.01)
 (21) 출원번호 10-2012-0136770
 (22) 출원일자 2012년11월29일
 심사청구일자 2012년11월29일
 (56) 선행기술조사문헌
 KR100567092 B1*
 KR1020100060867 A*
 KR1020020035939 A
 KR100666919 B1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 서울과학기술대학교 산학협력단
 서울특별시 노원구 공릉로 232 (공릉동, 서울과학기술대학교)
 (72) 발명자
좌성훈
 서울 서초구 방배로18길 67, 102동 503호 (방배동, 방배자이아파트)
김경호
 경기 성남시 중원구 순환로457번길 8, (은행동) (뒷면에 계속)
 (74) 대리인
고광석

전체 청구항 수 : 총 2 항

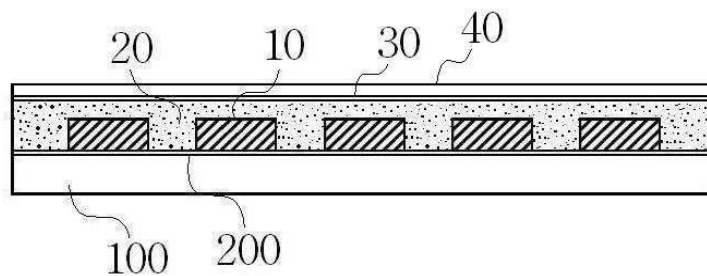
심사관 : 홍종선

(54) 발명의 명칭 **웨이퍼의 휨 발생 방지 기능을 강화시킨 팬 아웃 웨이퍼 레벨 패키징 공정**

(57) 요약

본 발명은 방열과 휨 감소를 위한 팬 아웃 웨이퍼 레벨 패키징 공정에 관한것으로서, 더욱 상세하게는 캐리어 위로 양면 점착테이프를 테이핑하는 단계(S10)와, 상기 양면 점착테이프 위로 실리콘 칩을 배열하는 단계(S20)와, 상기 배열된 실리콘 칩을 에폭시 몰딩 컴파운드로 몰딩하는 단계(S30)와, 상기 캐리어와 양면 점착테이프를 실리콘 칩으로부터 분리하는 단계(S60)와, 상기 캐리어와 양면 점착테이프가 분리된 위치의 실리콘 칩에 재분배 층을 형성하는 단계(S70)와, 상기 재분배 층에 시그널을 전달하기 위한 솔더볼을 형성하는 단계(S80)와, 상기 솔더볼을 형성하는 단계(S80)를 거친 웨이퍼를 실리콘 칩 단위의 크기로 절단하는 다이싱 단계(S90)로 이루어진 것으로서, 상기 몰딩하는 단계(S30) 직후, 에폭시 몰딩 컴파운드 위로 접착층을 형성하는 단계(S40)와, 상기 접착층 위로 휨방지층을 형성하는 단계(S50)가 더 부가되는 것임을 특징으로 하는 웨이퍼의 휨 발생 방지 기능을 강화시킨 팬 아웃 웨이퍼 레벨 패키징 공정에 관한 것이다.

대표도 - 도6



(72) 발명자

이미경

서울 노원구 동일로191길 8-3, B02호 (공릉동)

정훈선

서울 노원구 공릉로41길 29, B01호 (공릉동, 정광
빌라)

송차규

서울 강동구 풍성로 128, 204동 303호 (성내동, 성
내동삼성아파트)

특허청구의 범위

청구항 1

캐리어(100) 위로 양면 점착테이프(200)를 테이핑하는 단계(S10)와,
 상기 양면 점착테이프(200) 위로 실리콘 칩(10)을 배열하는 단계(S20)와,
 상기 배열된 실리콘 칩(10)을 에폭시 몰딩 컴파운드(20)로 몰딩한 후(S30) 에폭시 몰딩 컴파운드(20) 위로 접착층(30)을 형성하는 단계(S40)와
 상기 접착층(30) 위로 휨방지층(40)을 형성하는 단계(S50)와
 상기 캐리어(100)와 양면 점착테이프(200)를 실리콘 칩(10)으로부터 분리하는 단계(S60)와,
 상기 캐리어(100)와 양면 점착테이프(200)가 분리된 위치의 실리콘 칩(10)에 재분배 층(50)을 형성하는 단계(S70)와,
 상기 재분배 층(50)에 시그널을 전달하기 위한 솔더볼(60)을 형성하는 단계(S80)와,
 상기 솔더볼(60)을 형성하는 단계(S80)를 거친 웨이퍼를 실리콘 칩 단위의 크기로 절단하는 다이싱 단계(S90)로 이루어진 것에 있어서,
 몰딩하는 단계(S30)는 에폭시 8~25wt%와, 경화제의 트리에틸렌테트라아민(Triethylenetetramin;TETA) 4~10wt%와, 충전제로서, 용융실리카(fused silica)와 크리스탈라인 실리카(crystalline silica)를 중량비율로 7:3하여 혼합하여 조성된 입자 크기 2~40 μ m의 실리카 60~85wt%와, 커플링제의 (3-아미노프로필)트리에톡실란((3-Aminopropyl)triethoxysilane; APTES) 2~5wt%의 혼합으로 조성된 에폭시 몰딩 컴파운드(20)가 실리콘 칩(10)을 완전히 감싸도록 몰딩하는 것임을 특징으로 하는 웨이퍼의 휨 발생 방지 기능을 강화시킨 팬 아웃 웨이퍼 레벨 패키징 공정.

청구항 2

삭제

청구항 3

청구항 1에 있어서,
 휨방지층(40)은 밀도(Density)(g/cm³) 3.80, 열팽창계수(CTE;10⁻⁶°C⁻¹) 7.40, 열전도도(Thermal conductivity)(Wm⁻¹K⁻¹) 30, 녹는점(°C) 2,054인 산화알루미늄(Al₂O₃)과 글라스를 1:1 중량비율로 혼합하여 조성된 제1조성물 20~40wt%;에
 밀도(Density)(g/cm³) 5.66, 열팽창계수(CTE;10⁻⁶°C⁻¹) 2.90, 열전도도(Thermal conductivity)(Wm⁻¹K⁻¹) 60, 녹는점(°C) 1,975인 순도 99.9%의 입도 1 μ m인 산화아연(ZnO) 분말 5~15wt%와,
 톨루엔(Toluene) 또는 에틸알코올(Ethyl-Alcohol)의 용매(solvent) 40~70wt%와,
 바인더 5~10wt%를 혼합하여 조성된 세라믹 슬러리를 120°C~150°C까지 승온시켜 용매와 수분을 증발시킨 후, 분당 3°C씩 승온시켜 550°C에 이르기까지 가열하여 잔류 유기물을 분해한 다음 분당 1°C씩 승온시켜 900°C에 이르기까지 가열한 후 900°C에서 2시간을 유지한 후 상온까지 냉각시켜 제조된 10~100 μ m 두께의 세라믹 막으로 이루어진 것임을 특징으로 하는 웨이퍼의 휨 발생 방지 기능을 강화시킨 팬 아웃 웨이퍼 레벨 패키징 공정.

청구항 4

삭제

명세서

기술분야

[0001] 본 발명은 웨이퍼의 휨 발생 억제 기능을 강화시키기 위해, 몰딩 공정 후에 몰딩 된 실리콘 칩의 상부로 메탈 또는 세라믹 재질의 휨 방지층을 형성함으로써 웨이퍼의 휨 발생 억제 기능을 강화시킬 수 있는 팬 아웃 웨이퍼 레벨 패키징 공정에 관한 것이다.

배경기술

[0002] 과거에는 칩을 하나하나 패키징하는 방법이 사용되었지만, 최근 웨이퍼 전체를 한꺼번에 공정하는 반도체 패키징 기술이 개발됨에 따라 공정의 단순화는 물론 실장 공간 역시 줄어들게 되었으며, 이를 웨이퍼 레벨 패키징, 즉 'WLP(Wafer Level Packaging)'라고 칭한다. 다시 말해, WLP는 각각의 다이를 잘라내지 않은 웨이퍼 상태로 패키징이 진행되는 기술로, 반도체에 있어서 조립공정이 획기적으로 개선되었다.

[0003] 최근에는 초박형의 휴대용기기 및 디바이스 시장의 발달로 인하여, 다기능의 초소형 초박형의 반도체 칩의 제조가 요구되고 있다. 이러한 요구에 따라 현재 반도체 시장은 CSP(Chip Scale Package), TSV (Through Silicon Via), POP (Package on Package), FOWLP (Fan-out Wafer Level Package) 등이 연구되고 있다.

[0004] FOWLP는 고성능을 위한 I/O 수의 증가로 인해 생기는 여러 가지 문제를 해결할 수 있는 반도체 패키징 공정이다. 하지만 공정 중 발생하는 휨으로 인하여 칩의 파손, 후 공정 및 핸들링 등의 문제가 아직 완전히 해결되지 못하고 있다.

[0005] 이와 같은 문제를 해결하기 위하여, 에폭시 몰딩 컴파운드의 재료 개발을 통한 휨 감소방안을 제시한 바 있으나, 이와 같은 재료는 개발이 어려울 뿐만 아니라, 개발되었다 하더라도 제품 가격이 고가이기 때문에 산업적으로 활용 가능성이 매우 떨어진다는 문제가 있었다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 대한민국 등록특허 10-1008406(등록일자 2011년01월07일)
- (특허문헌 0002) 대한민국 공개특허 10-2012-0077875(공개일자 2012년07월10일)
- (특허문헌 0003) 대한민국 공개특허 10-2012-0094182(공개일자 2012년08월24일)

발명의 내용

해결하려는 과제

[0007] 상기의 문제를 해결하기 위하여, 본 발명은 자연적, 화학적, 열적 환경 변화 등의 외부적 충격으로부터 반도체 칩을 보호하기 위해 행해지는 몰딩(Molding) 공정 이후에, 몰딩 된 실리콘 칩 위로 메탈 또는 세라믹 재질의 휨 방지층을 적층함으로써 웨이퍼의 휨 발생을 억제하고, 또한 몰딩(Molding) 공정에 사용되는 에폭시 몰딩 컴파운드의 기계적 강도 및 내마모성을 향상시킴으로써, 휨 방지 기능을 더욱 강화시킨 웨이퍼의 휨 발생 방지 기능을 강화시킨 팬 아웃 웨이퍼 레벨 패키징 공정을 제공하고자 하는 것을 발명의 목적으로 한다.

과제의 해결 수단

- [0008] 상기의 목적을 달성하기 위하여,
- [0009] 본 발명은 캐리어 위로 양면 점착테이프를 테이핑하는 단계(S10)와,
- [0010] 상기 양면 점착테이프 위로 실리콘 칩을 배열하는 단계(S20)와,
- [0011] 상기 배열된 실리콘 칩을 에폭시 몰딩 컴파운드로 몰딩하는 단계(S30)와,
- [0012] 상기 캐리어와 양면 점착테이프를 실리콘 칩으로부터 분리하는 단계(S60)와,
- [0013] 상기 캐리어와 양면 점착테이프가 분리된 위치의 실리콘 칩에 재분배 층을 형성하는 단계(S70)와,
- [0014] 상기 재분배 층에 시그널을 전달하기 위한 솔더볼을 형성하는 단계(S80)와,
- [0015] 상기 솔더볼을 형성하는 단계(S80)를 거친 웨이퍼를 실리콘 칩 단위의 크기로 절단하는 다이싱 단계(S90)로 이루어진 것으로서,
- [0016] 상기 몰딩하는 단계(S30) 직후, 에폭시 몰딩 컴파운드 위로 접착층을 형성하는 단계(S40)와,
- [0017] 상기 접착층 위로 휨방지층을 형성하는 단계(S50)가 더 부가되는 것임을 특징으로 하는 웨이퍼의 휨 발생 방지 기능을 강화시킨 팬 아웃 웨이퍼 레벨 패키징 공정을 주요 기술 구성으로 한다.

발명의 효과

- [0018] 본 발명에 따른 웨이퍼의 휨 발생 방지 기능을 강화시킨 팬 아웃 웨이퍼 레벨 패키징 공정은 기존에 실시되던 공정에 메탈 또는 세라믹 재질의 막을 적층(휨방지층)하는 휨 방지층 형성 공정을 추가함으로써, 웨이퍼의 휨 발생 억제 효과를 가질 수 있으며, 이에 더하여 몰딩에 사용되는 에폭시 몰딩 컴파운드의 열전도성, 기계적 강도 및 내마모성 등의 물리적 특성을 강화시킴으로써, 휨 방지층과 함께 웨이퍼의 휨 발생 억제기능을 더욱 강화시킬 수 있다는 장점을 갖는다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정에 사용되는 캐리어의 측면을 보인 도면.
- 도 2는 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '테이핑하는 단계(S10)'에 따른 도면.
- 도 3은 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '실리콘 칩을 배열하는 단계(S20)'에 따른 도면.
- 도 4는 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '몰딩하는 단계(S30)'에 따른 도면.
- 도 5는 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '접착층을 형성하는 단계(S40)'에 따른 도면.
- 도 6은 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '휨방지층 형성 단계(S50)'에 따른 도면.
- 도 7은 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '캐리어와 양면 점착테이프를 실리콘 칩으로부터 분리하는 단계(S60)'에 따른 도면.
- 도 8은 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '재분배 층을 형성하는 단계(S70)'에 따른 도면.
- 도 9는 본 발명의 팬 아웃 웨이퍼 레벨 패키징 공정 중 '솔더볼 형성하여 웨이퍼를 이루는 단계(S80)'에 따른 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 본 발명은 캐리어 위로 양면 점착테이프를 테이핑하는 단계와,
- [0021] 상기 양면 점착테이프 위로 실리콘 칩을 배열하는 단계와,
- [0022] 상기 배열된 실리콘 칩을 에폭시 몰딩 컴파운드로 몰딩하는 단계와,
- [0023] 상기 캐리어와 양면 점착테이프를 실리콘 칩으로부터 분리하는 단계와,

- [0024] 상기 캐리어와 양면 점착테이프가 분리된 위치의 실리콘 칩에 재분배 층을 형성하는 단계와,
- [0025] 상기 재분배 층에 시그널을 전달하기 위한 솔더볼을 형성하는 단계와,
- [0026] 상기 솔더볼을 형성하는 단계를 거친 웨이퍼를 실리콘 칩 단위의 크기로 절단하는 다이싱 단계로 이루어지는 종래 행해지던 공정에 대해,
- [0027] 상기 에폭시 몰딩 컴파운드 위로 점착층을 형성한 후, 상기 점착층 위로 휨 방지층을 형성하는 공정을 추가함으로써 웨이퍼의 휨 방지 기능을 향상시킬 수 있음을 특징으로 한다.
- [0028] 이하, 상기의 기술 구성에 대한 구체적인 내용을 단계별로 살펴보고자 한다.
- [0029] 테이핑 단계(S10)
- [0030] 본 단계는 도 1에 도시된 캐리어(100) 위로 도 2에 도시된 바와 같이, 양면 점착테이프(200)를 테이핑하는 단계이다.
- [0031] 상기 캐리어(Carrier=carrier)(100)는 웨이퍼를 담은 치공구로써 웨이퍼 25장이 들어갈 수 있는 홈이 형성되며, 그 재질에 특별히 한정을 두지는 않으나, 바람직하게는 SUS304, 또는 Alloy 재질의 캐리어를 사용한다.
- [0032] 상기 양면 점착테이프(200)는 접착 후 박리가 가능한 것으로서, 상기 캐리어(100) 위에 부착한다.
- [0033] 상기 양면 점착테이프는 폴리에틸렌테레프탈레이트, 폴리부틸렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리이미드, 폴리아미드, 폴리아미드이미드, 폴리아세탈, 폴리카보네이트, 폴리에테르설폰, 폴리페닐렌설피드, 폴리페닐렌에테르, 폴리에테르케톤, 폴리아릴레이트, 폴리에테르아미드, 폴리에테르이미드, 폴리에테르아미드이미드, 폴리에테르설폰 중 선택되는 어느 1종의 필름 기재의 양면에 점착제를 50~60 μ m의 두께로 코팅한 것이다.
- [0034] 상기 점착제는 부틸 아크릴레이트(n-butyl acrylate; n-BA) 50 중량부와, 시클로헥실 메타크릴레이트(cyclohexyl methacrylate) 50 중량부와, 2-에틸헥실 아크릴레이트(2-ethylhexylacrylate; 2-EHA) 5 중량부와, 아크릴산(acrylic acid) 10 중량부를 유리 반응기에서 넣고, 열중합시켜 제1조성물을 조성한 후,
- [0035] 상기 제1조성물 100 중량부에 과황화칼슘(potassium persulfate; K2S2O8) 2 중량부와, 가교제로서 1,6-헥산디올디아크릴레이트(HDDA) 0.5 중량부를 혼합하여 교반하여 제조한 것을 사용한다.
- [0036] 실리콘 칩(10) 배열 단계(S20)
- [0037] 본 단계는 도 3에 도시된 바와 같이, 상기 양면 점착테이프(200)의 상부로 실리콘 칩(10)을 배열하는 단계로서, 이때, 상기 실리콘 칩(10)의 배열은 기존에 행해지던 정렬 방법을 그대로 적용한다.
- [0038] 몰딩 단계(S30)
- [0039] 본 단계는 도 4에 도시된 바와 같이, 상기 단계(S20)에서 배열된 실리콘 칩(10)을 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC)로 몰딩하는 단계이다.
- [0040] 반도체 칩에는 수많은 미세 전기회로가 집적되어 있으나 그 자체로는 반도체 완제품으로서의 역할을 할 수 없으며, 또한 외부의 물리적, 화학적 충격에 의해 쉽게 손상될 수 있다. 따라서 이와 같은 반도체 칩이 갖고 있는 약점을 보완하여 개별부품으로서의 역할을 수행할 수 있도록 하기 위하여 사용하는 것 중의 대표적인 것이 에폭시 수지이다.
- [0041] 즉, 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC)는 습기나 불순물로부터 반도체 칩을 보호하고 또한 열

과 충격으로부터 반도체 칩을 보호하는 기능을 수행하게 된다.

[0042] 본 발명에서도 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC)를 이용하여 몰딩을 하되, 에폭시 몰딩 컴파운드가 상기 실리콘 칩(10)을 완전히 감싸도록 한다.

[0043] 본 발명에서는 상기 에폭시 수지에 충전제를 분산시킴으로써, 기존에 사용되던 몰딩처리에서 도출될 수 없던 습도에 대한 내구성 향상과, 기계적 강도, 내마모성의 물리적 특성을 향상시킬 수 있도록 함으로써, 상기 에폭시 몰딩 컴파운드의 위로 놓이는 휨방지층과 함께 웨이퍼의 휨 발생 방지 기능을 강화시키는 기능을 갖게 된다.

[0044] 본 발명에서 사용하는 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC)는 초미립의 충전제가 조성물의 대부분을 차지하고 있으며, 본 발명에서 제시하는 범위 내에서 충전제를 다량함유하여 에폭시 몰딩 컴파운드를 조성하게 되면, 열팽창계수의 감소와 열전도성, 기계적 강도 및 내마모성이 향상되는 특징을 보이게 된다. 따라서, 상기 에폭시 몰딩 컴파운드(EMC) 위로 형성되는 휨방지층(40)과 함께 웨이퍼의 휨 발생 방지 기능을 수행하여, 웨이퍼의 휨 발생 방지 기능성이 더욱 강화된다.

[0045] 상기 에폭시 몰딩 컴파운드는

[0046] 에폭시 8~25wt%와,

[0047] 경화제의 트리에틸렌테트라아민(Triethylenetetramin; TETA) 4~10wt%와,

[0048] 충전제로서, 용융실리카(fused silica)와 크리스털라인 실리카(crystalline silica)를 중량비율로 7:3하여 혼합하여 조성된 입자 크기 2~40 μ m의 실리카 60~85wt%와,

[0049] 커플링제의 (3-아미노프로필)트리에톡실란((3-Aminopropyl)triethoxysilane; APTES) 2~5wt%의 혼합으로 조성된 것을 사용한다.

[0050] 더욱 구체적으로는 에폭시 12wt%와, TETA 4wt%와, 용융실리카(fused silica)와 크리스털라인 실리카(crystalline silica)를 중량비율로 7:3하여 혼합하여 조성된 입자 크기 2~40 μ m의 실리카 80wt%와, APTES 4wt%의 혼합으로 조성된 것을 에폭시 몰딩 컴파운드로 사용한다.

[0051] 상기 에폭시 몰딩 컴파운드를 조성하는 성분들 중 충전제의 사용량이 60wt% 미만인 경우에는 열팽창계수의 감소와 열전도성, 기계적 강도 및 내마모성이 향상등의 물리적 특성의 개선 효과를 기대하기 어렵고, 85wt%를 초과하게 되는 경우에는 물리적 특성 개선의 효과에 변화가 없어 무의미하므로, 상기 충전제의 사용량은 에폭시 몰딩 컴파운드의 전체 중량에 대해 60~85wt%의 범위 내로 한정하는 것이 바람직하다.

[0052] 접착층(30) 형성 단계(S40)

[0053] 본 단계는 도 5에 도시된 바와 같이, 실리콘 칩을 에폭시 몰딩 컴파운드(20)로 몰딩한 이후에, 상기 에폭시 몰딩 컴파운드(20) 위로 접착층(30)을 형성하는 단계로서, 상기 접착층은 에폭시 몰딩 컴파운드 상부에 전도성 접착제를 50~60 μ m의 두께로 도포하여 형성된다.

[0054] 상기 전도성 접착제는 은, 구리분말을 포함하는 액상실리콘 접착제로서, 은(Ag) 분말 10~30wt%와 실리카 0.1~5wt%, 폴리실록산 5~15wt%와, 액상실리콘 50~70wt%의 혼합으로 조성된 것을 사용한다.

[0055] 휨방지층(40) 형성 단계(S50)

- [0056] 본 단계는 본 발명에 있어 중요 기술을 포함하고 있는 단계로서, 도 6에 도시된 바와 같이, 상기 에폭시 몰딩 컴파운드(20) 면에 접착층(30)을 형성하여 상기 에폭시 몰딩 컴파운드(20) 위로 휨방지층(40)이 형성되도록 함으로써, 팬 아웃 웨이퍼 레벨 패키징 공정상의 웨이퍼 휨 발생 문제를 해소할 수 있다.
- [0057] 상기 휨방지층(40)은 밀도(Density)(g/cm³) 3.80, 열팽창계수(CTE;10⁻⁶°C⁻¹) 7.40, 열전도도(Thermal conductivity)(Wm⁻¹K⁻¹) 30, 녹는점(°C) 2,054인 산화알루미나(Al₂O₃)와 글라스를 1:1 중량비율로 혼합하여 조성된 제1조성물 20~40wt%;에
- [0058] 밀도(Density)(g/cm³) 5.66, 열팽창계수(CTE;10⁻⁶°C⁻¹) 2.90, 열전도도(Thermal conductivity)(Wm⁻¹K⁻¹) 60, 녹는점(°C) 1,975인 순도 99.9%의 입도 1μm인 산화아연(ZnO) 분말 5~15wt%와,
- [0059] 톨루엔(Toluene) 또는 에틸알코올(Ethyl-Alcohol)의 용매(solvent) 40~70wt%와,
- [0060] 바인더 5~10wt%를 혼합하여 조성된 세라믹 슬러리를 120°C~150°C까지 승온시켜 용매와 수분을 증발시킨 후, 분당 3°C씩 승온시켜 550°C에 이르기까지 가열하여 잔류 유기물을 분해한 다음 분당 1°C씩 승온시켜 900°C에 이르기까지 가열한 후 900°C에서 2시간을 유지한 후 상온까지 냉각시켜 제조된 10~100μm 두께의 세라믹 막으로 이루어지거나,
- [0061] 또는 스테인레스강, 구리, 구리 합금, 티타늄, 티타늄 합금, 니켈, 니켈 합금 중 선택되는 어느 1종 또는 2종 이상의 전도성 박막으로 이루어진다.
- [0062] 상기 세라믹 막의 경우 산화아연(ZnO) 분말의 사용량에 따라 방열특성의 차이가 많이 발생하게 되며, 그 사용량이 5wt% 미만인 경우에는 방열특성이 떨어지기 때문에 본 발명에 목적에 맞지 않고, 15wt%를 초과하게 되는 경우에는 소결과정에서 다수의 기공의 형성으로 인한 열전도도가 떨어지는 문제가 있기 때문에, 상기 산화아연(ZnO) 분말의 사용량은 전체 세라믹 막에 대해 5~15wt%의 범위 내로 한정하는 것이 바람직하다.
- [0063] 상기 세라믹 막을 이루는 성분들의 구체적인 조성 예는 산화알루미나(Al₂O₃)와 글라스를 1:1 중량비율로 혼합하여 조성된 제1조성물 30wt%, 산화아연(ZnO) 분말 10wt%, 톨루엔(Toluene) 57wt%, Poly(vinyl pyrrolidone) 3wt%의 혼합으로 조성되는 것을 그 예로 할 수 있다.
- [0064] 캐리어(100)와 양면 점착테이프(200)를 실리콘 칩(10)으로부터 분리하는 단계(S60)
- [0065] 본 단계는 이전 단계에서 제시된 캐리어(100)와 양면 점착테이프(200)를 한꺼번에 실리콘 칩(10)으로부터 분리하는 단계이다.
- [0066] 재분배 층(50) 형성 단계(S70)
- [0067] 본 단계는 상기 단계(S40)에서 캐리어(100)와 양면 점착테이프(200)를 한꺼번에 분리한 위치의 실리콘 칩(10)에 재분배 층(50)을 형성하는 단계이다.
- [0068] 상기 재분배 층(50)은 상기 실리콘 칩(10)에 전력을 공급하고, 입출력을 실리콘 칩의 외부로 연결해주는 니켈 구리로 형성된 트레이스 층과, 전기가 통하지 않는 라미네이션 층으로 구분되며, 팬 아웃에서는 실리콘 칩(10)보다 큰 사이즈로 재분배 층을 형성한다.
- [0069] 솔더볼(60) 형성 단계(S80)
- [0070] 본 단계는 상기 재분배 층(50)에 솔더볼(60)을 형성하는 단계이다.

[0071] 상기 솔더볼(60)은 BGA(Ball grid array) 칩의 다리로 사용하는 작은 납 구슬을 말하는 것으로서, 그 크기가 0.2mm 정도로 매우 작다.

[0072] 상기 솔더볼(60)은 격자형으로 얇은 필름에 붙여진 상태로 상기 재분배 층(50)에 본딩하게 되며, 이때 본딩은 BGA 칩에 블로워로 열을 가하면 볼이 녹으면서 약간 각도가 어긋나게 되어 있어도 솔더볼의 표면장력에 의해 정확히 제 위치를 알아서 찾아가서 뭍질이 되면서 본딩이 이루어진다.

[0073] 다이싱 단계(S90)

[0074] 본 단계는 상기 솔더볼(60) 형성 단계(S80)를 거친 웨이퍼를 실리콘 칩 단위의 크기로 절단하는 다이싱 단계이다.

산업상 이용가능성

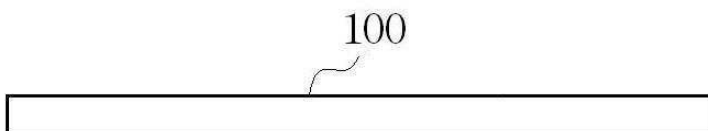
[0075] 본 발명에 따른 팬 아웃 웨이퍼 레벨 패키징 공정은 기존에 행해지던 공정에 휩 방지층을 형성하는 공정을 부가함으로써 웨이퍼의 휩 방지 억제 기능을 갖게 되고, 또한 몰딩 공정에서 열전도성, 기계적 강도 및 내마모성 향상 등의 물리적 특성을 강화시킨 에폭시 몰딩 컴파운드를 사용함으로써, 휩 방지층과 함께 웨이퍼의 휩 방지 억제 기능을 강화함으로써 기존의 웨이퍼의 휩 발생에 의한 하자 발생을 최소화할 수 있어 산업상 이용가능성이 크다.

부호의 설명

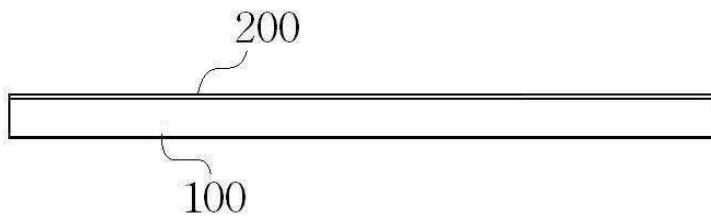
- [0076] 10: 실리콘 칩
- 20: 에폭시 몰딩 컴파운드
- 30: 접착층
- 40: 휩방지층
- 50: 재분배 층
- 60: 솔더볼
- 100: 캐리어
- 200: 양면 점착테이프

도면

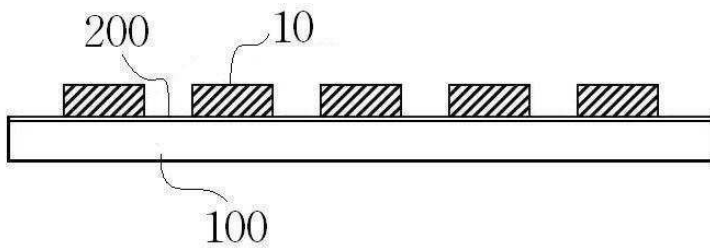
도면1



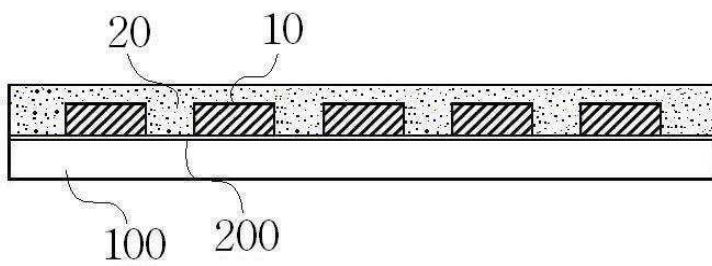
도면2



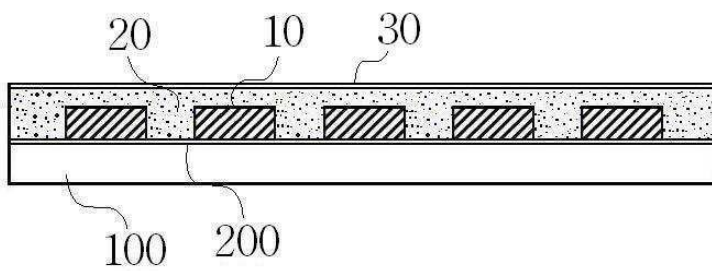
도면3



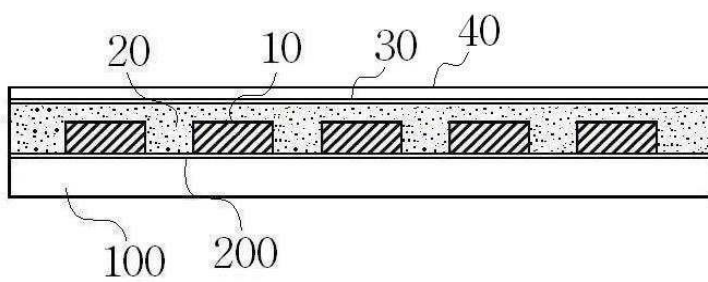
도면4



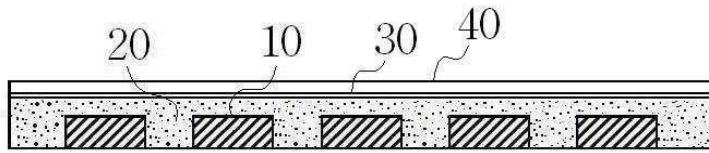
도면5



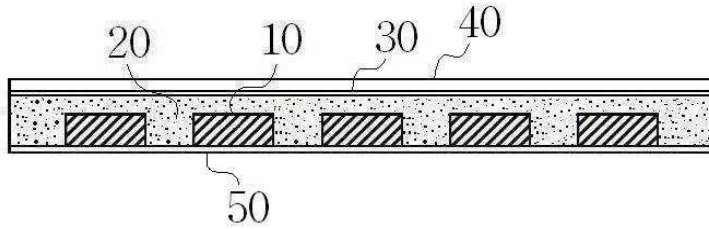
도면6



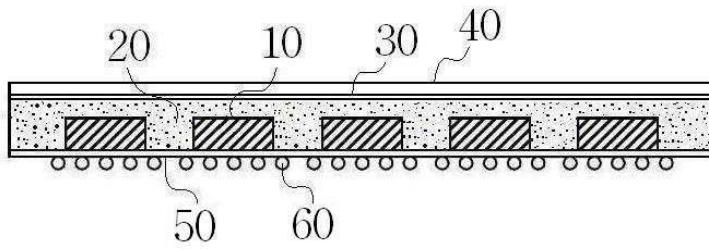
도면7



도면8



도면9



도면10

