



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월13일
 (11) 등록번호 10-1461819
 (24) 등록일자 2014년11월07일

(51) 국제특허분류(Int. Cl.)
 H01L 23/34 (2006.01)
 (21) 출원번호 10-2013-0101228
 (22) 출원일자 2013년08월26일
 심사청구일자 2013년08월26일
 (56) 선행기술조사문헌
 KR101078746 B1

(73) 특허권자
 서울과학기술대학교 산학협력단
 서울특별시 노원구 공릉로 232 (공릉동, 서울과학기술대학교)
 (72) 발명자
 김사라은경
 서울 중랑구 숙선옹주로 6-9, 101동 1405호 (목동, 목동자이1단지아파트)
 박만석
 경기 군포시 고산로517번길 20, 912동 1206호 (산본동, 금강1차아파트)
 마준성
 서울 동대문구 장한로26가길 103, 305호 (장안동, 덕수빌라)
 (74) 대리인
 김정현

전체 청구항 수 : 총 9 항

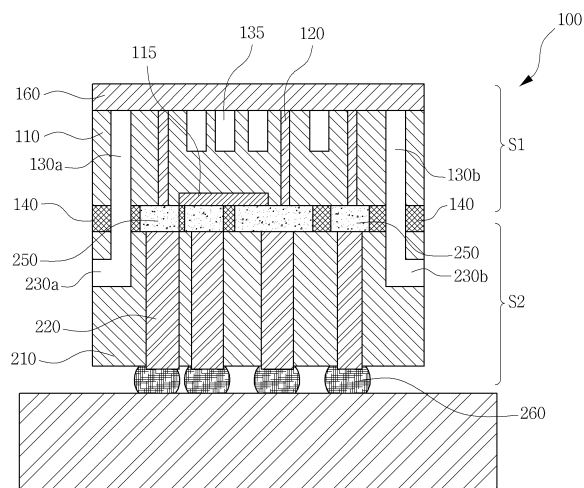
심사관 : 장기정

(54) 발명의 명칭 **ABL과 TSV 구조를 이용한 반도체 소자의 적층형 냉각 시스템**

(57) 요약

본 발명은 반도체 소자가 미리 형성되어 있고 전도성 수직 관통 비어(TSV)와 냉각 유로용 수직 관통 비어 및 마이크로채널이 형성되어 있고, 표면에 패터닝된 유전층이 있는 제1기판과, 전도성 관통홀과 냉각 유로용 입출입부가 형성되어 있고, 표면에 범프가 형성되어 있는 제2기판을 포함하며, 상기 제1기판과 제2기판은 상기 패터닝된 유전층과 범프가 하이브리드 본딩되어 적층 구조물을 형성하는 것을 특징으로 하는 적층형 냉각 시스템을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 소자가 미리 형성되어 있고 전도성 수직 관통 비어(TSV)와 냉각 유로용 수직 관통 비어 및 마이크로채널이 형성되어 있고, 표면에 패터닝된 유전층이 있는 제1기판과,

전도성 관통홀과 냉각 유로용 입출입부가 형성되어 있고, 표면에 범프가 형성되어 있는 제2기판을 포함하며,

상기 제1기판과 제2기판은 상기 패터닝된 유전층과 범프가 하이브리드 본딩되어 적층 구조물을 형성하는 것을 특징으로 하는

적층형 냉각 시스템.

청구항 2

제1항에 있어서,

상기 제2기판의 범프는 일방향으로 길게 연장된 판상의 범프층을 포함하는 것을 특징으로 하는 적층형 냉각 시스템.

청구항 3

제2항에 있어서,

제1기판의 반도체 소자는 복수의 전력 배선을 포함하며, 상기 범프층은 적어도 둘 이상의 전력 배선과 전기적으로 연결되는 것을 특징으로 하는 적층형 냉각 시스템.

청구항 4

제1항에 있어서,

제1기판의 표면에는 냉각 유로용 수직 관통 비어 및 마이크로채널의 상면을 차폐하는 보호막이 형성되어 있는 것을 특징으로 하는 적층형 냉각 시스템.

청구항 5

제4항에 있어서,

상기 제1기판의 냉각 유로용 수직 관통 비어 및 마이크로채널과 제2기판의 입출입부는 서로 연속적으로 연결된 유로를 구성하는 것을 특징으로 하는 적층형 냉각 시스템.

청구항 6

제4항에 있어서,

상기 보호막은 유리, Si, 또는 폴리머 재료로 형성되는 것을 특징으로 하는 적층형 냉각 시스템.

청구항 7

제1항에 있어서,

상기 제2기판은 제1기판과 다른 재질의 웨이퍼 또는 폴리머로 형성되는 것을 특징으로 하는 적층형 냉각 시스템.

청구항 8

제1항에 있어서,

상기 제2기판의 입출입부의 일단은 제1기판의 냉각 유로용 수직 관통 비어와 연결되며 입출입부의 타단은 제2기판의 측면으로 노출되는 것을 특징으로 하는 적층형 냉각 시스템.

청구항 9

제1항에 있어서,

상기 제2기판의 입출입부의 일단은 제1기판의 냉각 유로용 수직 관통 비어와 연결되며 입출입부의 타단은 제2기판의 하면으로 노출되는 것을 특징으로 하는 적층형 냉각 시스템.

명세서

기술분야

[0001] 본 발명은 반도체 소자의 냉각 시스템에 관한 것으로서, 상세하게는 전력 전달과 열 전달이 용이하도록 ABL(Advanced Bump Layer) 배선 구조와 냉각 TSV(Through Si Via)를 적용한 적층형 냉각 시스템을 제안한다.

배경기술

[0002] 반도체 기술의 발전에 따라 소자의 집적도가 지속적으로 향상되고 있으며, 이에 따라 소자를 구성하는 배선이나 각종 레이어의 스케일이 줄어들고 있다.

[0003] 그러나 차세대 전자 소자, 특히 로직 소자의 경우 범프 피치가 소자의 집적도 향상에 비례하여 스케일이 줄어들지 못하는 실정이고, 입출력(Input/Output) 범프 수는 줄이는데 한계가 있기 때문에 전력 전달과 전력 분배에 문제가 점점 심각해지고 있다. 이러한 결과 소자의 전력 효율 및 방열에 큰 영향을 미치게 된다. 예를 들어 35nm 기술 노드의 경우 1mm 길이 배선의 반응시간(latency)이 트랜지스터와 비교하여 100배가 넘는다.

[0004] 반도체 소자의 동작 시 주파수 증가, 전력밀도 증가, 전압 감소 등이 지배적인 상황에서 반도체 소자에 안정적인 전력을 전달하는 문제는 소자의 스케일을 감소시키는데 큰 장애가 되고 있다. 전력 전달이 용이하지 않은 경우 특히 소자에서 발생하는 열이 문제가 되는데, 방열을 위한 방안으로 현재 일반적으로 IR drop을 줄이는 회로나 아키텍처 디자인으로 조절하는 경우와 열전달 소재의 개발이 주를 이루고 있다.

[0005] 국제 반도체 기술 로드맵(ITRS)에 의하면 14nm 기술에서는 전력 밀도가 100W/cm² 이상이 되고, 소자의 대기 열저항(junction-to-ambient thermal resistance)은 0.2/W 이하가 될 것으로 예상된다. 특히 마이크로프로세서의 경우 hot spots은 500W/cm² 까지 가기도 하며, 적층 메모리 구조의 경우 300W/cm² 까지 예상된다. 이러한 기술 흐름을 볼 때 열전도도를 높일 수 있는 시스템 구현이 매우 중요한 분야로 대두되고 있다. 또한 ITRS에 의하면 배선 라인의 수가 2002년 8개에서 2016년 22nm node에서는 11개가 될 것이고 이는 열 발생 속도를 급격히 증가시킬 것이라고 예측하고 있다. 더욱이 RC Delay 감소를 위해 사용되는 저유전 절연물질(Low-K Dielectric)은 열전도도가 기존의 SiO₂나 Si₃N₄, 보다 낮기 때문에 열 발생은 더욱 큰 문제가 될 것이라고 예측한다.

[0006] 한편 반도체 소자의 전력 범프의 경우 범프 사이즈가 감소되면서 범프와 배선을 연결하는 pad opening 사이즈가 급격히 줄고 있으며, 이로 인하여 전력 전달 및 열 방출에 악영향을 미치고 있다.

[0007] 현재 반도체 소자의 방열을 위한 장치로는 수동 또는 능동 히트싱크(passive or active heat sink)나 열전도 소재(thermal interface material : TIM)가 주로 사용되고 있으나, 차세대 반도체 소자의 열 발생 문제를 효과적으로 해결하기에는 한계가 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 전술한 기술적 배경하에서 창안된 것으로, 본 발명의 목적은 전자 소자들의 전력 증가로 인해 발생하는 전력 및 열 문제를 해결하는 방안으로 반도체 공정을 이용하여 효과적인 전력 분배와 전달, 그리고 방열을 높이는 시스템을 제공하는 것이다.
- [0009] 또한, 본 발명의 다른 목적은 열전달을 효과적으로 높이기 위해서 소자의 전력 전달 수단인 배선 구조를 변경하고, 반도체 장치 내부에 냉각 유로를 마련한 새로운 적층형 냉각 시스템을 제공하는 것이다.
- [0010] 기타, 본 발명의 또 다른 목적 및 기술적 특징은 이하의 상세한 설명에서 보다 구체적으로 제시될 것이다.

과제의 해결 수단

- [0011] 상기 목적을 달성하기 위하여, 본 발명은 반도체 소자가 미리 형성되어 있고 전도성 수직 관통 비어(TSV)와 냉각 유로용 수직 관통 비어 및 마이크로채널이 형성되어 있고, 표면에 패터닝된 유전층이 있는 제1기판과, 전도성 관통홀과 냉각 유로용 입출입부가 형성되어 있고, 표면에 범프가 형성되어 있는 제2기판을 포함하며, 상기 제1기판과 제2기판은 상기 패터닝된 유전층과 범프가 하이브리드 본딩되어 적층 구조물을 형성하는 것을 특징으로 하는 적층형 냉각 시스템을 제공한다.
- [0012] 상기 제2기판의 범프는 일방향으로 길게 연장된 관상의 범프층을 포함하는 것이 바람직하다. 이 경우 제1기판의 반도체 소자는 복수의 전력 배선을 포함하며, 상기 범프층은 적어도 둘 이상의 전력 배선과 전기적으로 연결될 수 있다.
- [0013] 상기 제1기판의 표면에는 냉각 유로용 수직 관통 비어 및 마이크로채널의 상면을 차폐하는 보호막이 형성되는 것이 바람직하다. 이에 따라 상기 제1기판의 냉각 유로용 수직 관통 비어 및 마이크로채널과 제2기판의 입출입부는 서로 연속적으로 연결된 유로를 구성한다.
- [0014] 상기 보호막은 유리, Si, 또는 폴리머 재질로 형성될 수 있고, 상기 제2기판은 제1기판과 다른 재질의 웨이퍼 또는 폴리머로 형성될 수 있다.
- [0015] 상기 제2기판의 입출입부의 일단은 제1기판의 냉각 유로용 수직 관통 비어와 연결되며 입출입부의 타단은 제2기판의 측면으로 노출되도록 형성할 수 있으며, 이와 달리 입출입부의 타단은 제2기판의 하면으로 노출되도록 형성할 수도 있다.

발명의 효과

- [0016] 본 발명에 따르면, 시스템 반도체, 고밀도 메모리 반도체, 3D 적층 반도체 등 차세대 전자소자의 전력 증가로 인한 열 문제를 해결할 수 있다. 또한, 반도체 소자의 전력 전달과 열 전달을 용이하게 하여 소자의 신뢰성을 향상시키고 에너지 효율을 높일 수 있다.
- [0017] 본 발명은 기존의 반도체 공정을 이용하면서 반도체 소자에 별도의 방열 수단을 부가하지 않고 소자 내부에 냉각을 위한 유로와 범프 구조를 개선함으로써 각종 반도체 소자에 적용할 수 있는 다양한 냉각 시스템의 구현이 가능하다. 본 발명은 차세대 반도체 소자 뿐만 아니라, 광소자 및 MEMS/바이오 소자 등 각종 전자 장치 및 소자에 응용될 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일실시예에 따른 냉각 시스템을 보인 단면도
- 도 2a 내지 2d는 냉각 시스템의 냉각 TSV 형성 공정을 보인 단면도

- 도 3a 내지 3c은 ABL이 형성된 기판 제조 공정을 보인 단면도
- 도 4a 및 4b는 하이브리드 본딩으로 냉각 시스템을 완성하는 단계를 보인 단면도
- 도 5a 및 5b는 ABL과 기존 범프의 구조를 비교한 평면 모식도
- 도 6은 발명의 다른 실시예에 따른 냉각 시스템을 보인 단면도
- 도 7a 내지 7h는 도 6의 시스템의 제조 공정을 보인 단면도

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명은 범프 배선 기술과 관통 비어 기술(Through Si Via: TSV)을 이용하여 각종 반도체 소자에 적용할 수 있는 새로운 냉각 시스템을 제안한다. 구체적으로 배선으로서 ABL 전력 범프를 형성하고 전도성 수직 관통 비어 (electrical TSV : E-TSV) 이외에 냉각 유로용 수직 관통 비어(fluidic TSV : F-TSV)를 형성하여 반도체 소자에 안정적인 전력 전달 및 열 방출을 가능하게 한다.
- [0020] 특히 본 발명은 3D 패키징 공정에서 전기적 연결을 위한 배선으로 개발되어 왔던 TSV 구조를 냉각용 유로로 이용함으로써 기존의 반도체 공정을 이용하여 냉각 효율이 우수하고 각종 구조의 반도체 장치에 적용될 수 있는 냉각 시스템의 구현이 가능하다.
- [0021] 도 1은 본 발명의 일실시예에 따른 냉각 시스템(100)을 도시한 단면도이다. 이 시스템은 크게 제1기판부(S1)와 제2기판부(S2)가 접합된 적층 구조로 형성되어 있고, 제1기판부는 Si 웨이퍼 등으로 구성되며 반도체 소자(115)가 미리 형성되어 있는 제1기판(110)에 전도성 TSV(120)와 냉각 유로용 F-TSV(130a, 130b) 및 마이크로채널(135)이 형성되어 있다.
- [0022] 또한, 제2기판부의 제2기판은 전도성 관통홀(220)이 형성되어 있고, 냉각 유로용 입출입부(230a, 230b)가 형성되어 있으며, 표면에 적어도 하나의 ABL 구조를 포함하는 범프(250)가 형성되어 있다.
- [0023] 제1기판의 패터닝된 유전층(140)과 제2기판의 범프(250)가 하이브리드 본딩되어 제1기판과 제2기판이 결합된 적층 구조물이 형성되며, 제1기판의 표면에는 F-TSV와 마이크로채널의 노출된 부분을 보호하는 보호막(160)이 형성되어 있다. 이에 따라 상기 F-TSV(130a, 130b) 및 마이크로채널(135), 입출입부(230a, 230b)는 하나의 연속된 유로를 구성하게 된다.
- [0024] 적층 구조의 냉각 시스템은 제2기판의 하부에 BGA 볼(260)을 부착하여 PCB(300) 등의 보드에 실장될 수 있다.
- [0025] 도 1에 제시된 냉각 시스템을 제작하기 위한 예시적인 공정을 도 2a 내지 2d, 도 3a 내지 3c, 및 도 4a 및 4b를 참조하여 설명한다.
- [0026] 먼저, 도 2a를 참조하면 반도체 소자(115)가 형성되어 있는 제1기판(110)에 전도성 TSV (E-TSV)(120)를 형성한다. 제1기판은 예를 들어 CPU 또는 Memory 같은 소자가 미리 형성된 Si 웨이퍼일 수 있다. 소자의 제조는 종래에 알려진 반도체 공정에 따라 진행될 수 있으며, 소자 제작이 완료된 후 전기적 연결을 위하여 E-TSV 를 제조한다. 소자 표면이나 기판 내부에 전기적 연결 및 절연을 위하여 필요에 따라 형성될 수 있는 재배선층 (redistribution layer)이나 유전층 등은 설명의 편의상 생략되어 있다.
- [0027] E-TSV 깊이는 예를 들어 100 μ m μ m ~ 200 μ m 정도로 형성할 수 있고, E- TSV의 지름(폭)은 소자의 사양 (specification)에 따라서 달라질 수 있으나 5 μ m ~ 100 μ m의 범위로 형성할 수 있다. E-TSV에는 전도성 물질이 충전된다. 제1기판인 Si 웨이퍼의 두께는 일반적으로 8인치 웨이퍼 기준으로 할 때 약 720 μ m 정도가 되는데, E-TSV를 형성 후에 소자가 있는 반대쪽 표면을 E-TSV가 노출되도록 웨이퍼를 그라인딩 한다.
- [0028] 다음으로 도 2b에 도시한 바와 같이 냉각 유로로 이용되는 냉각용 TSV(F-TSV)(130a, 130b)와 마이크로채널(135)을 형성한다. F-TSV와 마이크로채널은 제1기판의 E-TSV와 반도체 소자 주변으로 각각 형성되어 냉각 유로로 이용되며, 도 2b에는 상호 단절된 것으로 나타나 있으나, 평면적으로 볼 때 F-TSV와 마이크로채널이 기판 표면 부분에서 서로 연결되어 냉각수가 흐를 수 있는 연속적인 유로를 형성한다. 마이크로채널은 제1기판 표면으로부터 소정 깊이로만 형성되는 반면, F-TSV는 제1기판을 관통하도록 형성되며, F-TSV는 냉각 시스템 내에서 냉각수의 입출입부(inlet, outlet)와 연결된다.
- [0029] F-TSV와 마이크로채널은 예를 들어 DRIE(deep reactive ion etching) 등의 플라즈마 에칭(etching) 방법으로 동시에 형성할 수 있고, Microchannel의 깊이는 20 μ m ~ 60 μ m 의 범위, TSV의 지름(폭)은 50 μ m ~ 150 μ m으로 형

성할 수 있다.

- [0030] 다음으로, 제1기판 표면에 유전층(140)을 형성한다(도 2c). 유전층은 마이크로채널이 있는 기판 표면의 반대쪽면에 형성하며, 예를 들어 폴리머 물질을 스핀 코팅 등의 방법으로 형성할 수 있다. 유전층으로 사용되는 폴리머는 포토리소스트처럼 패턴이 가능한 재료이어야 하고, 15 μ m 이상으로 두껍게 코팅한다.
- [0031] 형성된 유전층은 식각 공정을 통해 패턴링을 진행한다. 패턴링된 유전층에는 후술하는 본딩 공정 시 제2기판의 입출입부와 연결부(140a) 및 제2기판의 범프가 삽입될 수 있도록 범프 삽입부(140b)가 마련된다.
- [0032] 마지막으로 제1기판의 유전층이 형성된 반대쪽 표면에 보호막(160)을 형성한다(도 2d). 보호막은 제1기판 표면에 형성된 F-TSV와 마이크로채널의 노출부분을 차폐하며, 예를 들어 유리 기판을 사용하여 제1기판에 본딩할 수 있다. 보호막을 형성함으로써 제1기판 내부에 F-TSV와 마이크로채널로 구성되는 냉각 유로가 완성되며, 보호막으로는 유리 기판 이외에 Si 웨이퍼 또는 기판에 방열 수단으로 이용되는 히트 싱크를 부착할 수도 있다.
- [0033] 도 3a 내지 3c를 참조하여 제2기판의 제조 공정을 설명한다. 제2기판(210)은 예를 들어 제1기판과 유사한 Si 웨이퍼, 다른 재질의 웨이퍼, 또는 폴리머 기판을 이용할 수 있다. 제2기판에 수직으로 관통하는 홀을 형성하고, 이 홀에는 전도성 물질을 충전하여 전도성 관통홀(220)을 완성한다(도 3a). 이러한 전도성 관통홀은 제1기판의 E-TSV와 구조 및 기능, 제조 공정이 실질적으로 동일하다고 할 수 있다.
- [0034] 다음으로, 제2기판의 표면에 상기 전도성 관통홀과 연결되는 범프(250)를 형성한다(도 3b). 제2기판 표면에 형성되는 범프 중 전력용 범프는 ABL 형태로 입력/출력용 시그널 범프는 기존의 형태 대로 제조할 수 있다. ABL 구조 및 기능에 대해서는 후술한다.
- [0035] 마지막으로, 냉각수의 흐름을 위한 입출입부(230a, 230b)를 형성한다(도 3c). 상기 입출입부는 제2기판의 상면을 통해 제1기판의 F-TSV와 연결되는 한편, 제2기판의 측면으로 연장되어 외부에 노출되도록 형성한다.
- [0036] 완성된 제1기판부(S1)와 제2기판부(S2)를 도 4a에 도시한 바와 같이 금속-유전층 하이브리드 본딩에 의해 결합한다. 본딩 시 제2기판의 범프와 제1기판의 폴리머 유전층이 동시에 결합되며, 제2기판의 범프는 제1기판의 E-TSV 또는 소자 위에 있는 전기적 연결 부위(미도시)와 본딩될 수 있다. 두 기판이 적층되고 TSV 구조와 ABL 구조가 병합된 냉각 시스템이 완성된다(도 4b).
- [0037] 완성된 적층 구조물을 PCB 등의 보드에 장착하기 위해서 BGA(ball grid array) 볼(미도시)을 제2기판의 전도성 관통홀과 연결되도록 부착할 수 있다.
- [0038] 전술한 제2기판에 형성되는 ABL(advanced bump layer) 형태의 범프는 플립 칩 범핑에 있어서 전자 소자의 기술 발달로 인해 범프 사이즈와 범프와 배선을 연결하는 pad opening 사이즈가 감소하여 전력 전달 및 열 방출에 심각한 문제가 되고 있는 부분을 해결하기 위한 범프 구조이다.
- [0039] 도 5a를 참조하면 기존의 전력범프 구조가 제시되어 있고, 도 5b는 ABL 범프 구조를 보이고 있다. 기존의 전력범프는 한 칩(chip)에서 동일한 형태로 각각 개별적으로 배치되도록 설계되는 반면, ABL 범프는 배선층과 유사하게 일방향으로 연장된 판상 구조로 형성되고 이에 따라 ABL 범프 구조에서는 pad opening 또는 SRO(solder resist opening) 사이즈를 크게 조절할 수 있는 장점이 있으며, 전력 범프를 연결하는 수에 따라서 ABL 사이즈를 다르게 형성할 수 있다.
- [0040] 반도체 소자의 전력 배선과 ABL 구조의 전력 범프를 본딩하게 되면 pad opening 사이즈가 확대되며 이에 따라 안정적인 전력 전달이 가능함은 물론 전력 범프에 집중되는 열 발생을 완화시킬 수 있는 장점이 있다. 도 5b에서는 사각형의 ABL 범프(bump 라인)로 2개의 전력 배선(power 라인)을 연결하고 있으나, ABL 범프의 모양은 여러 가지가 될 수 있으며 여러 개의 전력 배선을 연결할 수 있다. 본 발명의 냉각 시스템에서는 두 기판 사이에서 다양한 형태의 ABL 전력 범프가 포함될 수 있다. 형성된 ABL 전력 범프는 예를 들어 제1기판의 전력 단자나 E-TSV 중 전력용 TSV에 연결될 수 있다.
- [0041] 도 6은 본 발명의 다른 실시예에 따른 냉각 시스템을 보이고 있다. 전술한 도 1의 실시예와 전체적인 단면 구조가 유사하게 제1기판부(S1)와 제2기판부(S2)가 접합된 적층 구조로 형성되어 있고, 제1기판부는 반도체 소자(115)가 미리 형성되어 있는 제1기판(110)에 전도성 TSV(120)와 냉각 유로용 F-TSV(130a, 130b) 및 마이크로채널(135)이 형성되어 있으며, 제2기판부의 제2기판은 전도성 관통홀(220)이 형성되어 있고 냉각 유로용 입출입부(230a, 230b)가 형성되어 있으며 표면에 적어도 하나의 ABL 구조를 포함하는 범프(250)가 형성되어 있다.
- [0042] 반면 제2기판에서 냉각용 TSV의 구조가 도 1의 실시예와 상이한 것을 볼 수 있다. 즉 제2기판의 냉각수의 흐름

을 위한 입출입부(230a, 230b)의 끝단이 제2기판(210)의 측부가 아닌 하부로 연장되어 하면에 노출되어 있다. 이러한 구조는 전체적인 기능 측면에서는 앞선 실시예와 동일하지만 다른 제조 공정으로 형성에 다소 차이가 있다. 이러한 제조 공정을 도 7a 내지 7h를 참조하여 설명한다.

[0043] 먼저, 반도체 소자(115)가 기 형성되어 있는 제1기판(110)에 E-TSV(120)를 형성한다(도 7a). E-TSV의 깊이는 50 μ m ~ 200 μ m 범위로 형성할 수 있고, 지름(폭)도 1 μ m까지 좁게 제작할 수 있다.

[0044] 제1기판의 표면을 그라인딩 하지 않은 채, E-TSV의 일단이 노출된 면에 유전층(140)으로서 폴리머를 코팅하고 제2기판의 입출입부 및 범프와 연결되도록 폴리머를 패터닝하여 TSV 연결부(140a) 및 범프 삽입부(140b)를 형성한다(도 7b).

[0045] 다음으로 제1기판부(S1)와 제2기판부(S2)를 하이브리드 본딩한다(도 7c). 제2기판부(210)은 전술한 실시예에서와 같이 전도성 관통홀(220)과 범프(250) 및 입출입부(230a, 230b)를 미리 형성한다. 입출입부의 경우 수직 관통 구조로 형성된다. 본딩을 통해 제2기판의 범프는 제1기판에서 전기적 연결을 위한 E-TSV 또는 소자 위에 있는 전기적 연결 부위와 연결된다(도 7d)

[0046] 본딩으로 두 기판부의 적층이 완료된 후, 제1기판의 표면을 그라인딩하여 E-TSV를 노출시킨다(도 7e). 그 다음 제1기판에 냉각 유로용 F-TSV(130a, 130b)) 및 마이크로채널(135)을 형성한다(도 7f). F-TSV는 제2기판의 입출입부(230a, 230b)에 각각 연결되도록 위치를 제어하여 형성한다. 마이크로채널은 F-TSV와 상부가 연결되어 하나의 연속된 냉각 유로를 구성한다. F-TSV 와 마이크로채널은 플라즈마 에칭으로 형성할 수 있다.

[0047] 그 다음, 제작된 F-TSV 와 마이크로채널의 노출된 상부를 차폐하기 위하여 보호막(160)을 형성한다. 보호막으로는 유리나 Si 웨이퍼를 사용하여 제1기판 표면에 본딩한다(도 7g). 마지막으로 제2기판의 하면에 전도성 관통홀과 연결되도록 BGA 볼(260)을 부착한다(도 7h).

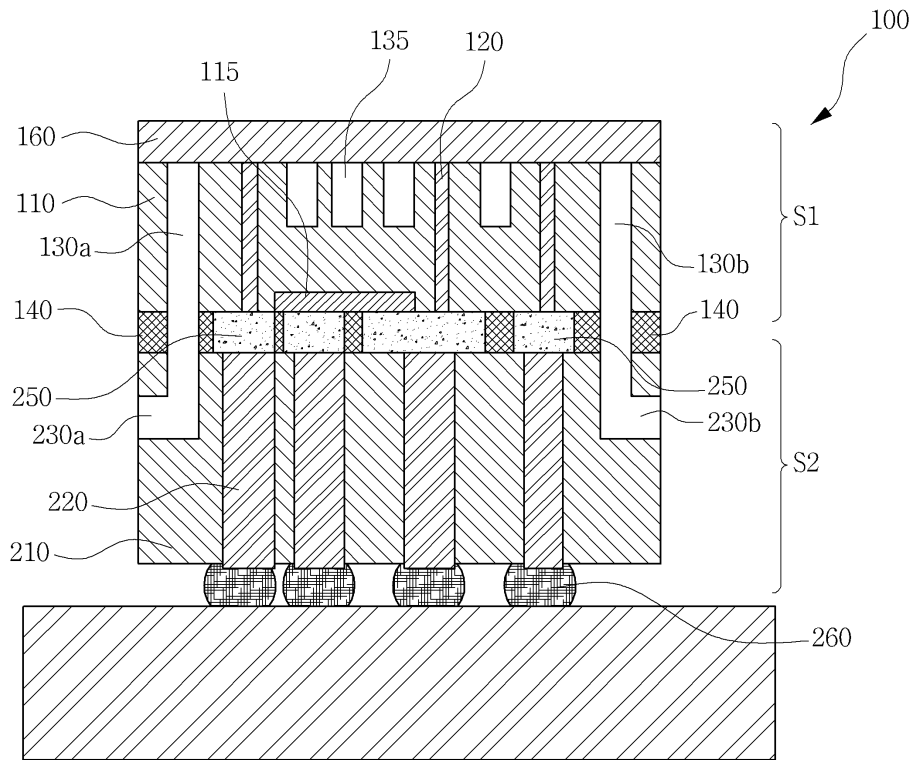
[0048] 이상에서 바람직한 실시예를 통하여 본 발명을 예시적으로 설명하였으나, 본 발명은 이와 같은 특정 실시예에만 한정되는 것은 아니며 본 발명에서 제시한 기술적 사상, 구체적으로는 특허청구범위에 기재된 범주 내에서 다양한 형태로 수정, 변경, 또는 개선될 수 있을 것이다.

부호의 설명

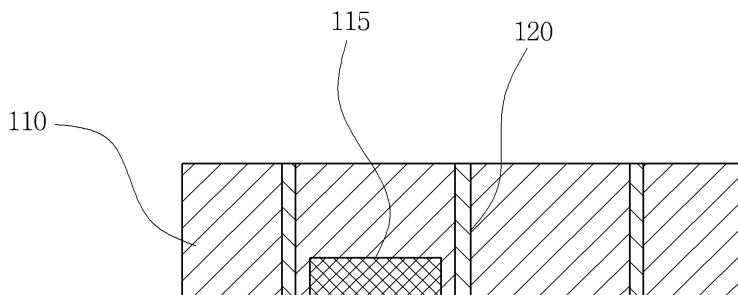
- | | | |
|--------|---------------------------|---------------------|
| [0049] | 100:냉각 시스템 | 110:제1기판 |
| | 115:반도체소자 | 120:전도성 TSV (E-TSV) |
| | 130a, 130b:냉각용 TSV(F-TSV) | 135:마이크로채널 |
| | 140:유전층 | 160:보호막 |
| | 210:제2기판 | 220:전도성 관통홀 |
| | 230a, 230b:냉각용 입출입부 | 250:범프 (ABL) |
| | 260:BGA 볼 | 300:PCB |

도면

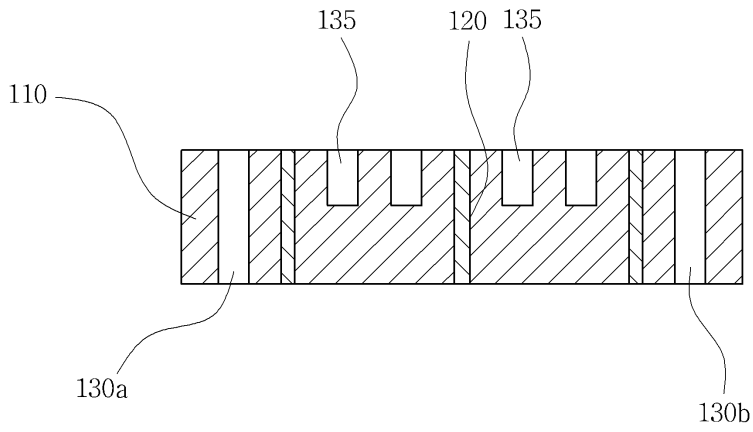
도면1



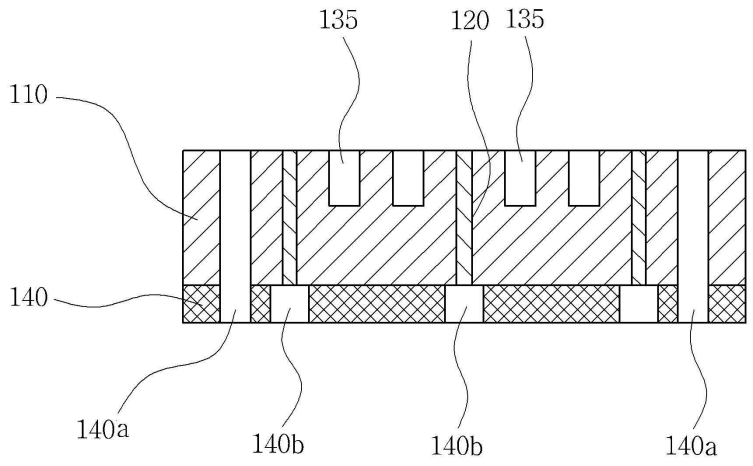
도면2a



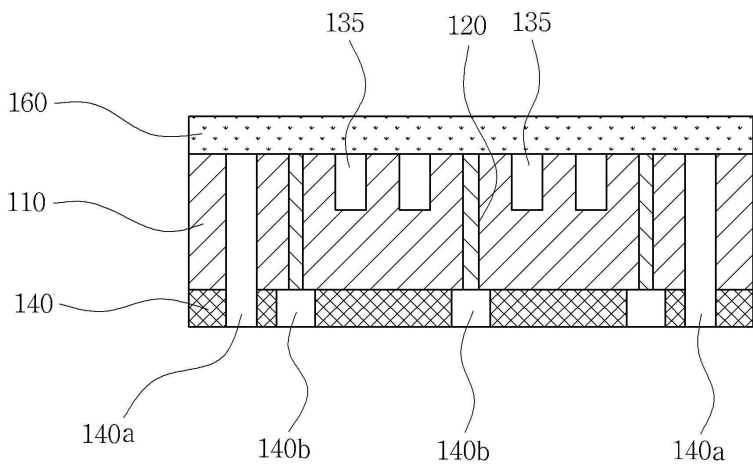
도면2b



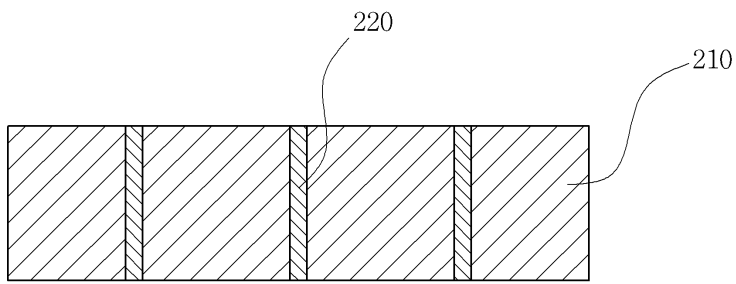
도면2c



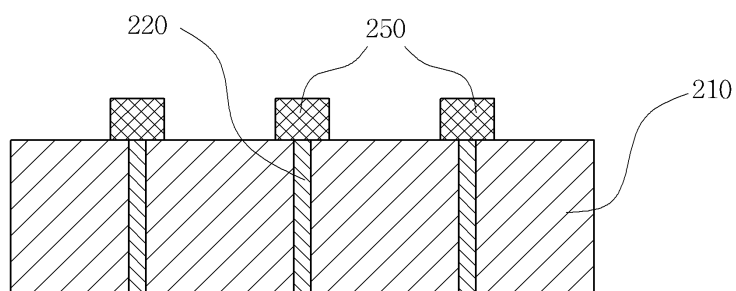
도면2d



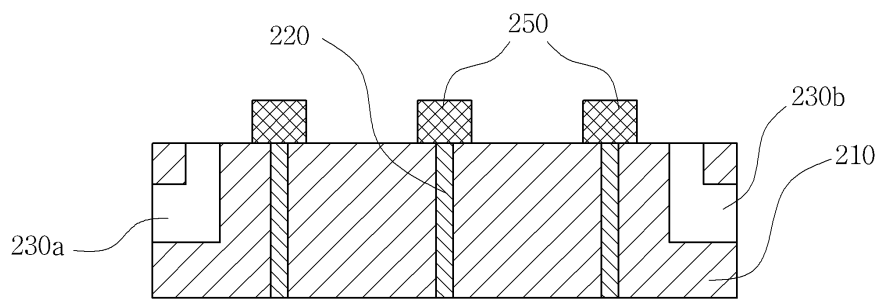
도면3a



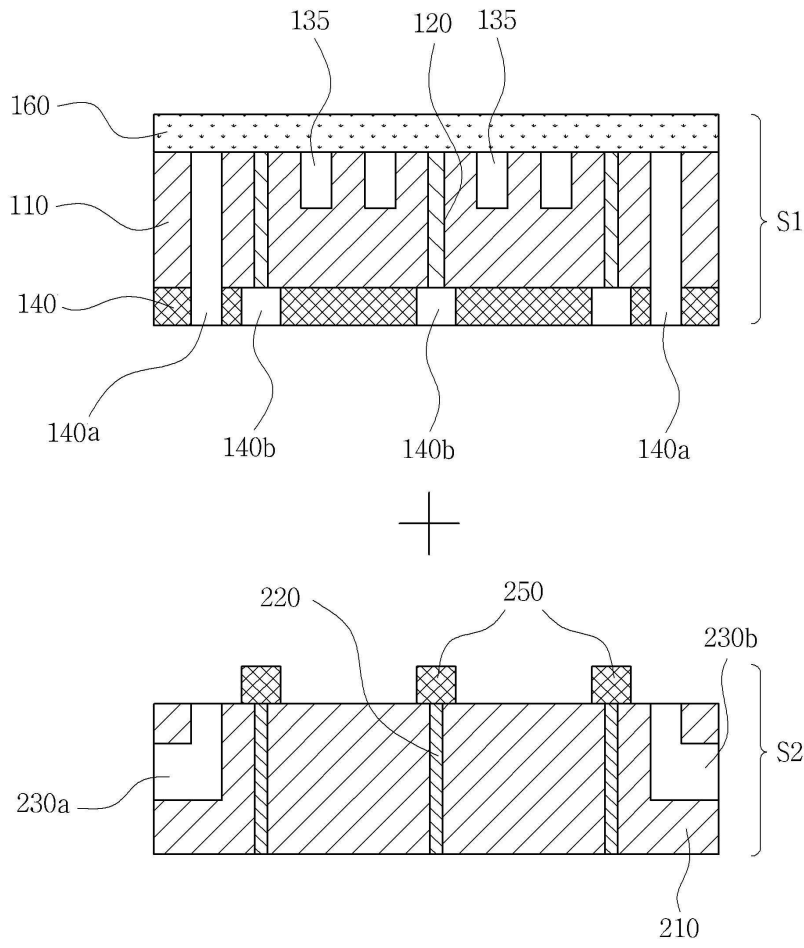
도면3b



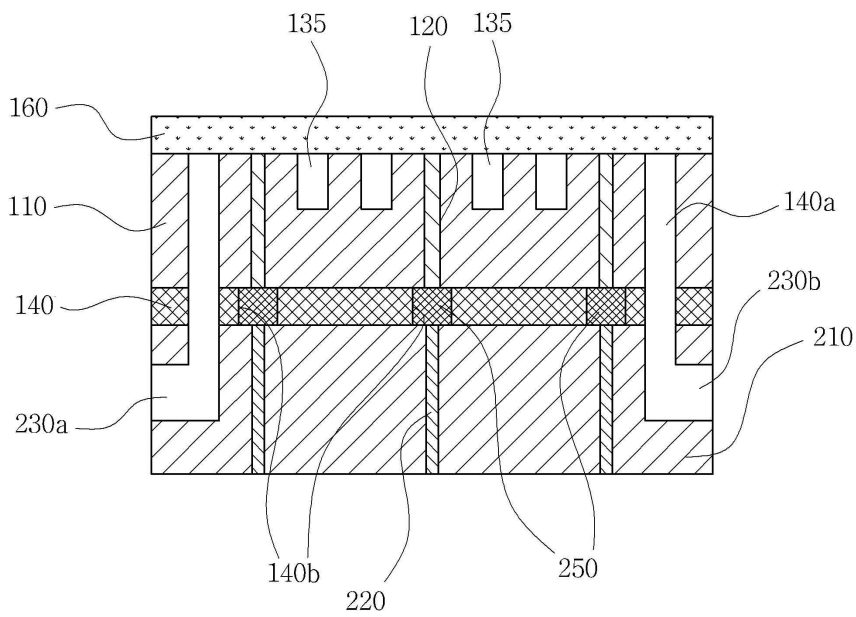
도면3c



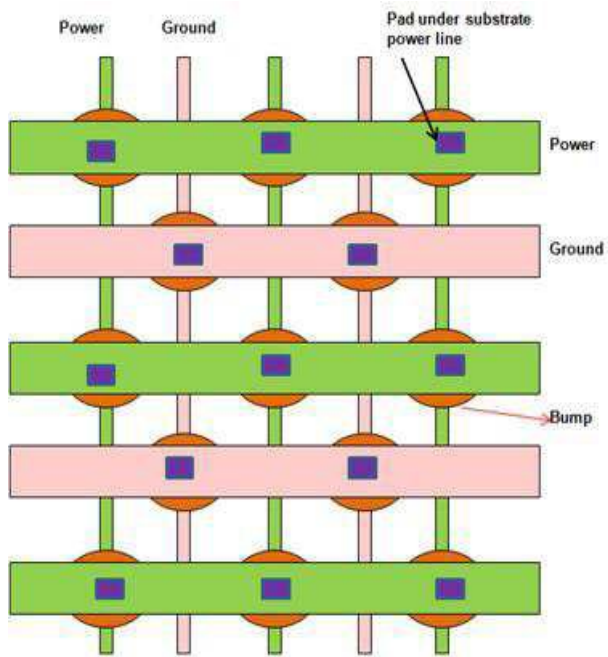
도면4a



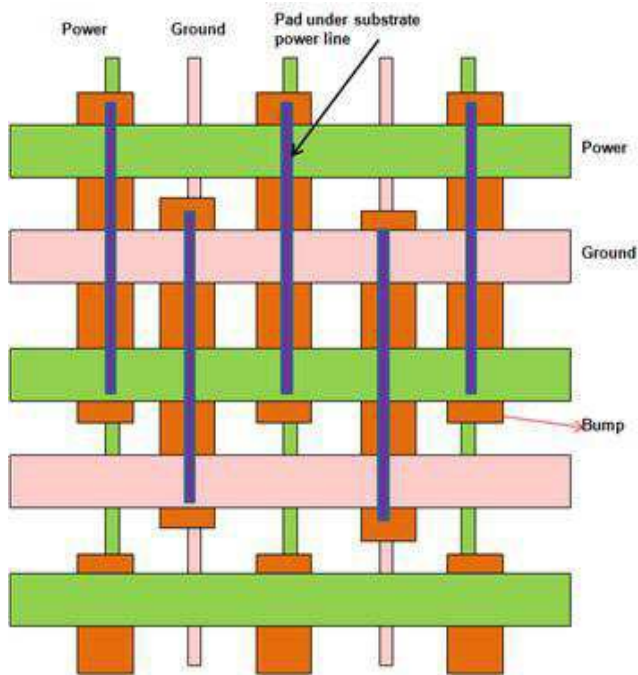
도면4b



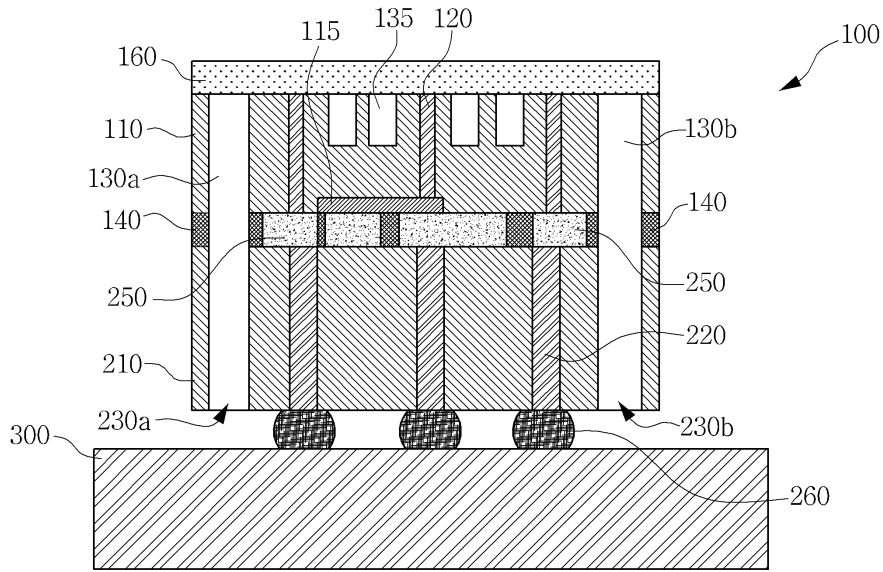
도면5a



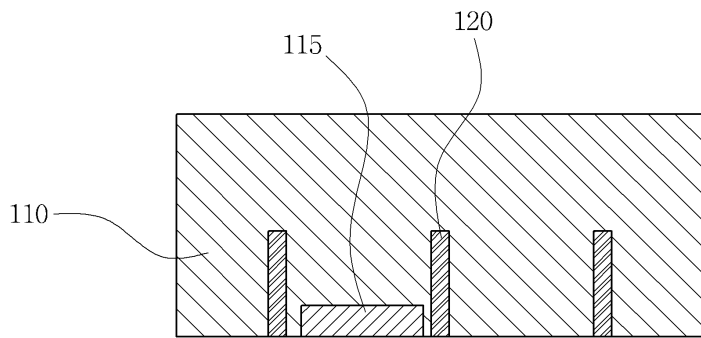
도면5b



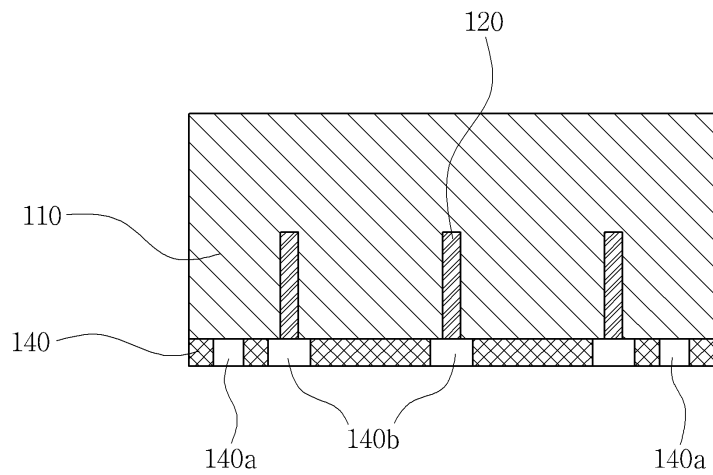
도면6



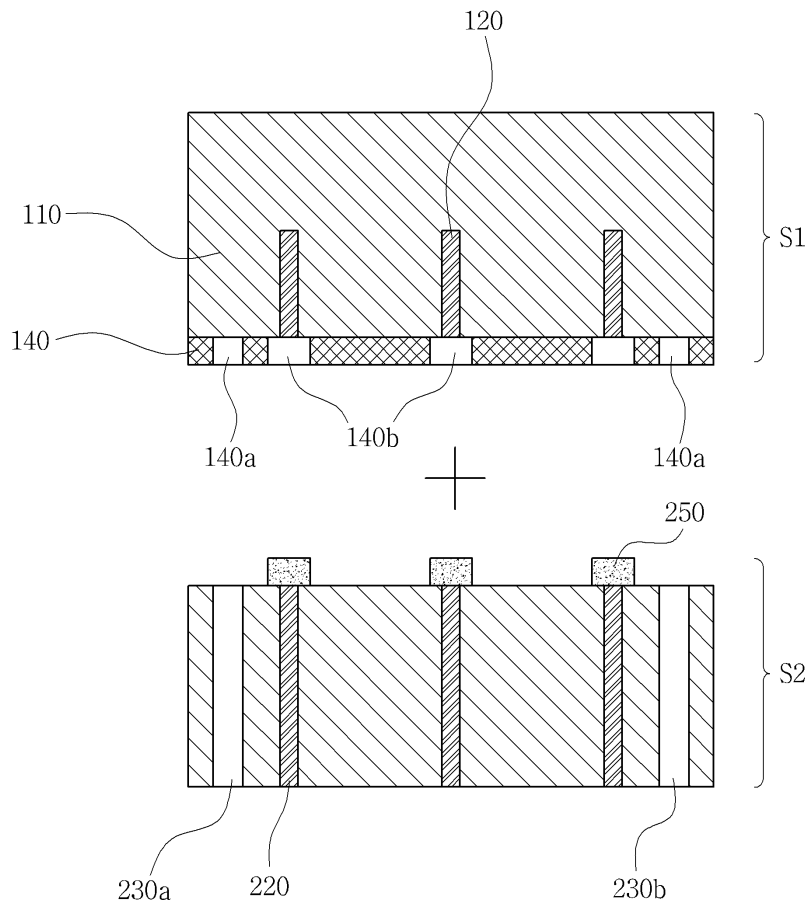
도면7a



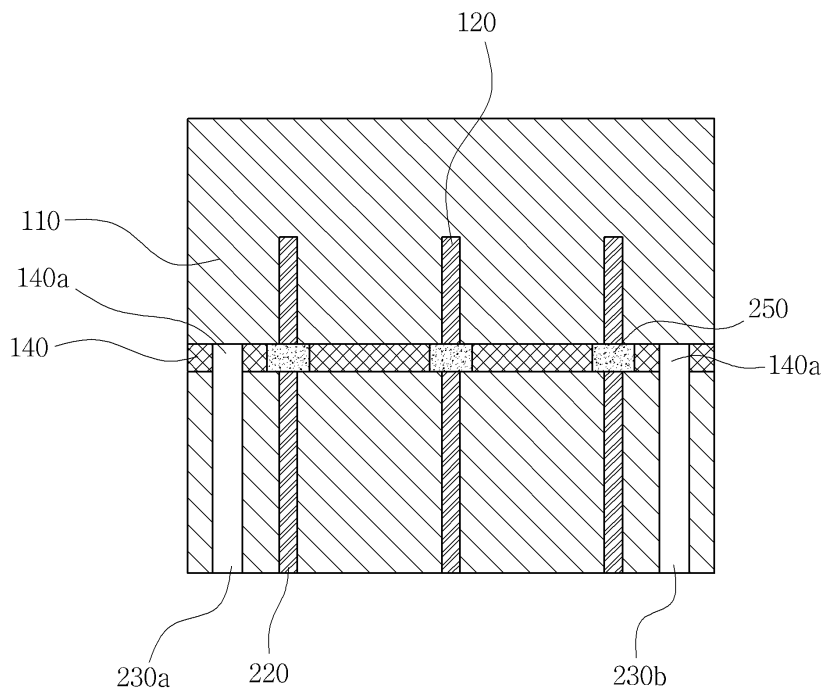
도면7b



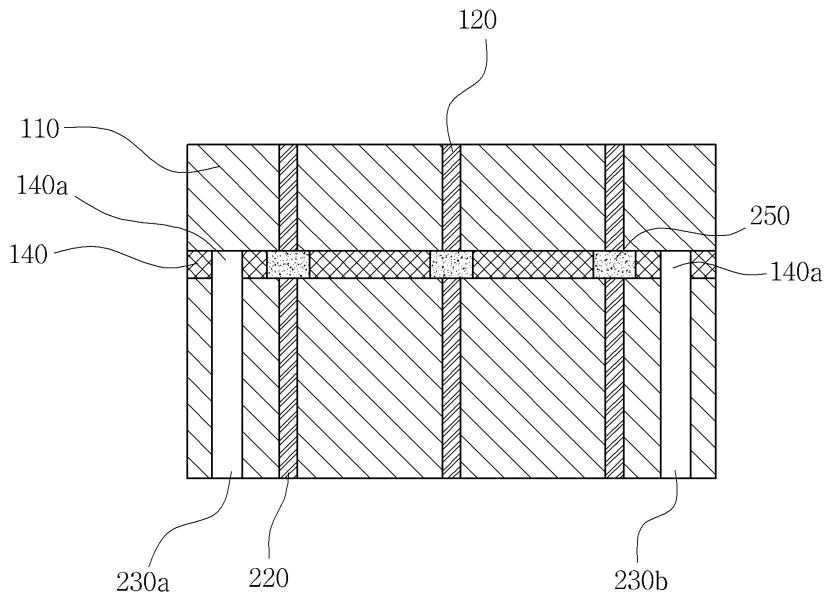
도면7c



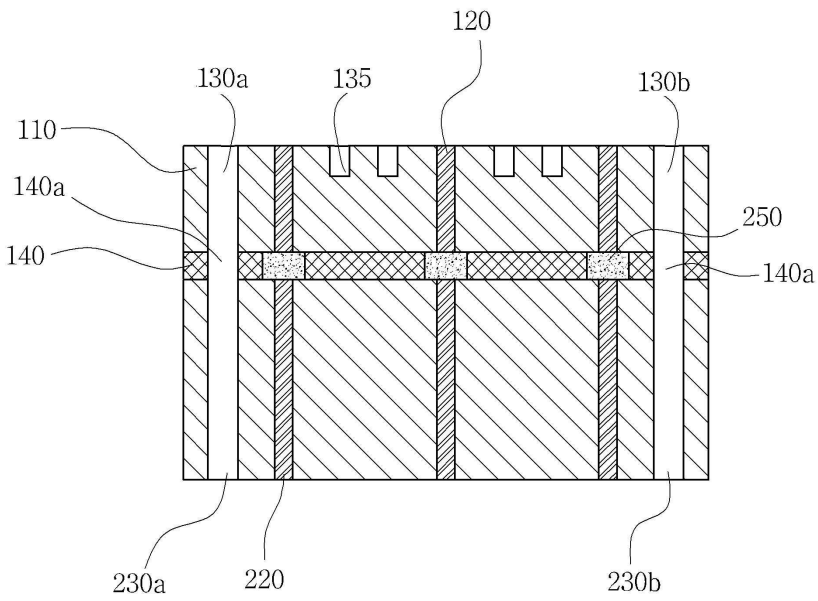
도면7d



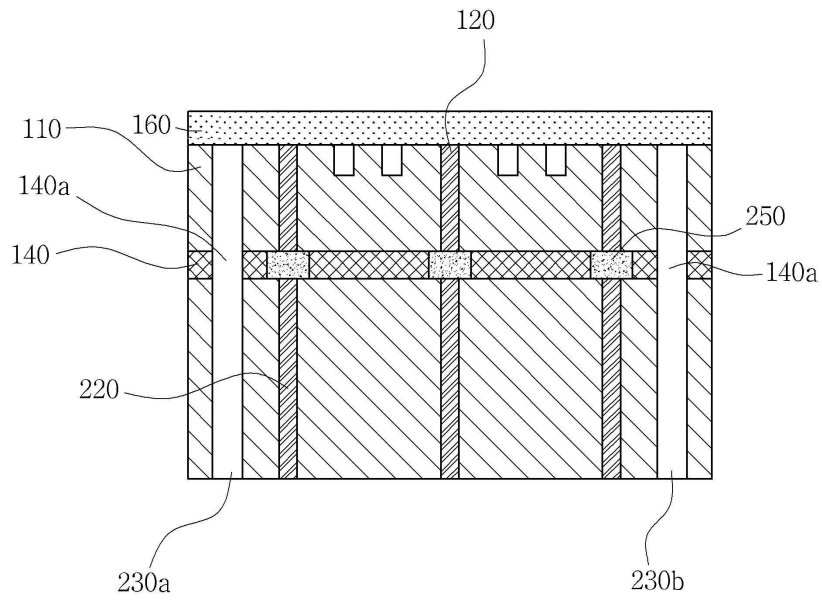
도면7e



도면7f



도면7g



도면7h

